

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-015753

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/28
H01L 21/318
H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 2000-122018

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.04.2000

(72)Inventor : OZAWA YOSHIO
MINAZU YASUMASA
TSUNASHIMA YOSHITAKA

(30)Priority

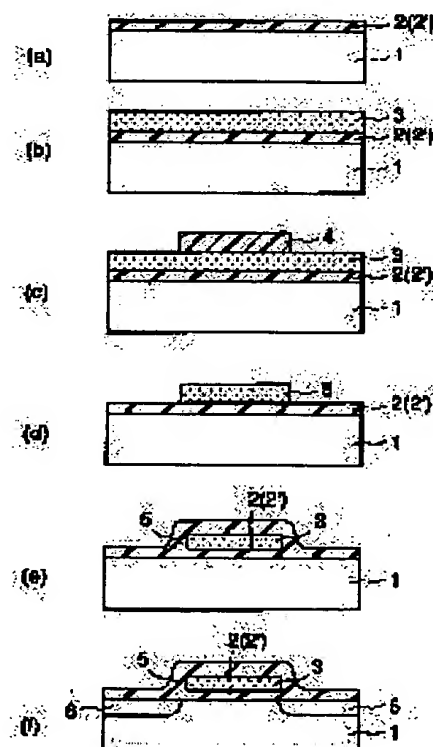
Priority number : 11121689 Priority date : 28.04.1999 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To effectively prevent defective insulation at the end section of a conductive film by containing silicon and oxygen in a semiconductor device and forming the first and second insulating films which are brought into contact with the conductive film and an insulating film.

SOLUTION: A silicon oxynitride film 2 formed on the surface of a substrate 1 as a gate insulating film and a polysilicon film 3 having low resistance as a gate electrode is formed, a resist pattern 4 for forming the gate electrode is formed and the gate electrode 3 is formed by patterning and heat treatment is conducted, and a surface is oxidized and an oxide film 5 is formed. Lastly, a dopant is introduced into a substrate surface by ion implantation through the use of the gate electrode 3 as a mask, and source/drain regions 6 are shaped self-alignedly by activating the dopant by a lamp annealing method. Thus, distances among the lower end section of the gate electrode and the source/drain regions are extended, the electric fields of the lower end section and the source/drain regions are relaxed, and the breakdown resistance of an element is improved.



LEGAL STATUS

[Date of request for examination] 27.01.2003

[Date of sending the examiner's decision of rejection] 18.05.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

BEST AVAILABLE COPY

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-12564

[Date of requesting appeal against examiner's decision of rejection] 17.06.2004

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the semi-conductor substrate which has a principal plane. Said principal plane The semi-conductor substrate with which it had the 1st field and the 2nd field where a front face is lower than it, and said the 1st field and said 2nd field are connected, The 1st insulator layer which is formed on said 1st field and contains silicon, nitrogen, and oxygen, The semiconductor device characterized by coming to provide the electric conduction film which is formed on said 1st insulator layer and contains silicon, and the 2nd insulator layer which is formed on said 2nd field and contacts said electric conduction film and said 1st insulator layer including silicon and oxygen.

[Claim 2] The manufacture approach of the semiconductor device characterized by to include the process which forms the insulator layer containing silicon and nitrogen on a semi-conductor substrate, the process which forms the processed film containing the silicon film on said insulator layer, the process which process said processed film so a part of said insulator layer is exposed, and the process which perform oxidation treatment using the oxidizing gas containing ozone or an oxygen radical to the semi-conductor structure acquired according to these processes.

[Claim 3] The process which forms the insulator layer containing silicon and nitrogen on a semi-conductor substrate, The process which forms the processed film containing the silicon film on said insulator layer, and the process which processes said processed film so that said a part of insulator layer may be exposed, The process which performs oxidation treatment to the semi-conductor structure acquired according to these processes using the oxidizing gas containing ozone or an oxygen radical, The manufacture approach of the semiconductor device characterized by including the process which performs either [at least] nitriding treatment or additional oxidation treatment to said semi-conductor structure where said oxidation treatment was performed.

[Claim 4] The process which forms the insulator layer containing a silicon nitride on the processed film containing the silicon film, The process which forms the pattern which processes said insulator layer using lithography and etching, and consists of said insulator layer, By the process which oxidizes said pattern in the ambient atmosphere containing an oxygen radical or ozone, and changes the exposure front face of said silicon nitride into silicon oxide, and removing said silicon oxide The manufacture approach of the semiconductor device characterized by including the process which makes said pattern detailed, and the process which processes said processed film and imprints said pattern made detailed on said processed film.

[Claim 5] The manufacture approach of a semiconductor device given in claim 1 characterized by giving conductivity to said whole processed film after forming coincidence or said processed film, if said processed film is formed before processing said processed film, or after processing the processed film thru/or any 1 term of 4.

[Translation done.]

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semiconductor device effective in especially detailed-izing of an MOS transistor, and its manufacture approach with respect to the semiconductor device containing the detailed semiconductor device below submicron one, and its manufacture approach.

[0002]

[Description of the Prior Art] The source / drain field, and the gate electrode of an MOS transistor are electrically insulated with the gate dielectric film which intervenes among these. Since the lower limit section of a gate electrode is a sharp configuration, in the lower limit section of a gate electrode, electric field concentrate it. This electric-field concentration becomes the cause which invites the poor insulation between the source / drain field, and a gate electrode.

[0003] Furthermore, the gate dielectric film near the lower limit section of a gate electrode receives a process damage by the ion implantation at the time of etching at the time of formation of a gate electrode, and formation of the source / drain field. The dielectric strength of gate dielectric film deteriorates by this process damage. Degradation of this dielectric strength promotes the above-mentioned poor insulation.

[0004] These situations are seen also in the lower limit section of the floating-gate electrode of not only the lower limit section of the gate electrode of an MOS transistor but a flash plate memory cell. That is, through gate dielectric film, generally [a semi-conductor substrate and the insulated-gate mold transistor which counters] the gate electrode which has a sharp end shape sets, and is seen.

[0005] The post-oxidation process is known as a conventional technique which solves this kind of poor insulation's problem. As shown in drawing 10 (a), after this process carries out sequential formation of silicon oxide 92 and the polish recon film 93 containing DOPANDO of low resistance and processes the polish recon film 93 into a predetermined pattern on a silicon substrate 91, as shown in drawing 10 (b), it oxidizes thermally in an oxygen (O₂) ambient atmosphere, and it forms the back oxide film 94. By forming the back oxide film 94, the lower limit section of the sharp configuration of the polish recon film 93 is round, and the electric field in this lower limit section ease.

[0006] Furthermore, by BAZU beak oxidation which takes place in the case of the above-mentioned thermal oxidation, also when the distance of the lower limit section of the polish recon film 93 and a silicon substrate 91 spreads, the electric field in the above-mentioned lower limit section become weaker. That is, even if between a substrate and the lower limit section spreads, the distribution of electric field itself does not change, but since the reinforcement of electric field becomes weak as the whole, the electric field in the lower limit section are eased.

[0007] Since a process damage is recovered by post-oxidization which is additional oxidization and membraneous quality improves, dielectric strength of silicon oxide 92 which has received the process damage near the edge of the polish recon film 93 further again improves.

[0008] The oxidization process after the above has the same operation also to over etching structure as shown in drawing 11 . The silicon oxide 92 under the polish recon film 93 which should be removed in the case of patterning of the polish recon film 93 is also removed, and drawing 11 shows the structure where the substrate front face under it was also etched further.

[0009] If a post-oxidation process is used as stated above, it is possible to avoid the poor insulation resulting from the electric-field concentration in the lower limit section of the polish recon film 93. However, according to research of this invention persons, the conventional post-oxidation had the problem that gate dielectric film could not prevent poor insulation effectively in the case of a silicon acid nitride or a silicon nitride so that back way detailed explanation might be carried out.

[0010] By the way, the plasma oxidation approach in the plasma ambient atmosphere which uses as a raw material the thermal oxidation approach, oxygen gas, or ozone gas which used a steam or oxygen (O₂) gas as an oxidizer as the conventional approach of changing a silicon nitride into silicon oxide is learned.

[0011] However, there are the following problems in these approaches. When using the thermal oxidation approach, the big heat budget of elevated-temperature long duration is needed. for example, LPCVD -- when changing into silicon oxide with a thickness of 5nm the front face of the silicon nitride formed by law, even if it uses the steam oxidizing method oxidizing velocity is quick, 950 degrees C and the big heat budget of about 1 hour are needed.

[0012] If a heat budget is large, concentration pro FAIRU of a lifting and a dopant will change [the dopant in a

silicon substrate] thermal diffusion remarkably. Therefore, application in the process of a detailed device is difficult for the thermal oxidation approach.

[0013] On the other hand, since a processed base is exposed to the plasma when using the plasma oxidation approach, a plasma damage will be given to gate dielectric film. Such a plasma damage causes the problem of degradation of the dependability of an insulator layer, and fluctuation of a device property.

[0014] Hereafter, it is ** BE ** about a Prior art and its trouble concretely.

[0015] Drawing 12 is the process sectional view showing the formation approach of the MOS transistor of the detailed size beyond the capacity of lithography. First, sequential formation of the silicon nitride 104 used as the mask (SiN pattern) used in case the GE 1 TO insulator layer 102, the polish recon film 103 used as a gate electrode, and the polish recon film 103 are etched on the silicon substrate 101 by which the dopant was introduced into the front face by ion-implantation, as shown in drawing 12 (a) is carried out.

[0016] Next, as shown in drawing 12 (b), a resist is applied to the whole surface, the gate pattern which has the minimum width of face which can be attained with a lithography technique is imprinted to the above-mentioned resist, and a resist pattern 105 (direction shown with the broken line) is formed. Then, as shown in drawing 12 (b), the width of face of a resist pattern 105 is dwindled by oxidation treatment under the reduced pressure using radical oxygen. The resist pattern 105 which became narrow [this width of face] is shown in drawing as the continuous line.

[0017] next, it is shown in drawing 12 (c) -- as -- a resist pattern 105 -- a mask -- carrying out -- the silicon nitride 104 -- RIE (Reactive Ion Etching) -- it etches by law and a SiN pattern is formed. Then, a resist pattern 105 is removed.

[0018] Next, as shown in drawing 12 (d), the silicon nitride (SiN pattern) 104 which remained is used as a mask, the polish recon film 103 is etched by the RIE method, and the gate electrode of the detailed size beyond the capacity of lithography is formed.

[0019] As shown in drawing 12 (d), after using the gate electrode (polish recon film) 103 as a mask and acting to a substrate front face as the ion notes people of the dopant finally, annealing for activating a dopant is performed, the source / drain field 106 is formed, and an MOS transistor is completed.

[0020] By this conventional approach, when the thickness of the resist applied at the process of drawing 12 (b) usually forms the gate electrode 103 of 50nm width of face since about 500nm is required for example, the ASU ** KUTO ratio of a resist pattern 105 becomes the high value 10.

[0021] Therefore, the problem that become easy to produce dispersion in the configuration of a resist pattern 105, and dispersion arises in the configuration of the gate electrode 103 as the result arises. The problem that a resist pattern 105 will furthermore fall also arises.

[0022] Moreover, there is also a technique of dwindling the width of face of the SiN pattern film 104, instead of dwindling the width of face of a resist pattern 105. That is, after forming the SiN pattern 104 which has the minimum width of face which can be attained with a lithography technique, the method of dwindling the width of face of the SiN pattern 104 by oxidation treatment is learned.

[0023] However, it is difficult only for a complement to dwindle the width of face of the SiN pattern 104. For example, even if it uses a steam oxidation style with a quick oxidation rate, 950 degrees C and the heat budget of 1 hours or more are needed for making it become thin width of face of 10nm of the SiN pattern 104. When oxidation treatment of such elevated-temperature quantity time amount was performed, there was a problem that the concentration profile of the DO 1 punt in a silicon substrate 101 changed remarkably.

[0024]

[Problem(s) to be Solved by the Invention] Although post-oxidation was known as a technique for easing the electric field in the lower limit section of a gate electrode like ****, there was a problem that gate dielectric film could not prevent poor insulation effectively in the case of a silicon acid nitride or a silicon nitride.

[0025] The 1st purpose of this invention was made in consideration of the above-mentioned situation, and aims at offering the semiconductor device which can prevent effectively the poor insulation in the edge of this electric conduction film in the structure of coming to form the electric conduction film containing the silicon by which patterning was carried out on the insulator layer containing silicon and nitrogen, and its manufacture approach.

[0026] Moreover, in order to form the pattern which consists of a silicon nitride beyond the capacity of lithography, changing a silicon nitride into silicon oxide is performed. However, the approach (a steam or O2 the plasma oxidation approach which uses the thermal oxidation approach, oxygen gas, or ozone gas using gas as an oxidizer as a raw material) of changing the conventional silicon nitride into silicon oxide had the problem that a big heat budget was needed or a component received a plasma damage.

[0027] The 2nd purpose of this invention is offering the manufacture approach of the semiconductor device which can form the pattern which was made in consideration of the above-mentioned situation, is a small heat budget, and consists of a silicon nitride beyond the capacity of lithography, without causing a plasma damage.

[0028]

[Means for Solving the Problem] In order to attain the 1st purpose of the above, the semiconductor device concerning this invention It is the semi-conductor substrate which has a principal plane. Said principal plane The semi-conductor substrate with which it had the 1st field and the 2nd field where a front face is lower than it, and said the 1st field and said 2nd field are connected, The 1st insulator layer which is formed on said 1st field and contains silicon, nitrogen, and oxygen, It is characterized by having the electric conduction film which is formed on said 1st insulator layer and contains silicon, and the 2nd insulator layer which is formed on said 2nd field and contacts said electric conduction film and said 1st insulator layer including silicon and oxygen.

[0029] The example of the following (1) - (6) is given as a more concrete configuration of the semiconductor device concerning this invention.

[0030] (1) The part which contacted said semi-conductor substrate among said 1st insulator layer has nitrogen concentration higher than the remaining part of said 1st insulator layer.

[0031] (2) In the above (1), the nitrogen concentration of the part which contacted said semi-conductor substrate among said 1st insulator layer is two or more $[5 \times 10^{13} \text{cm}^{-3}]$.

[0032] (3) The part which contacted said semi-conductor substrate and said electric conduction film among said 2nd insulator layer has nitrogen concentration higher than the remaining part of said 2nd insulator layer.

[0033] (4) The silicon oxide in which said 1st insulator layer contains nitrogen, and said electric conduction film are polish recon film containing a dopant.

[0034] (5) In the above (4), said 1st insulator layer is gate dielectric film, and said electric conduction film is a gate electrode.

[0035] (6) In the above (5), said 1st insulator layer is a tunnel gate insulator layer, and said electric conduction film is a floating-gate electrode.

[0036] In order to attain the 1st purpose of the above, moreover, the manufacture approach of the semiconductor device concerning this invention The process which forms the insulator layer containing silicon and nitrogen on a semi-conductor substrate, The process which forms the processed film containing the silicon film on said insulator layer, and the process which processes said processed film so that said a part of insulator layer may be exposed, It is characterized by including the process which performs oxidation treatment using the oxidizing gas containing ozone or an oxygen radical to the semi-conductor structure acquired according to these processes.

[0037] Moreover, the manufacture approach of other semiconductor devices concerning this invention The process which forms the insulator layer containing silicon and nitrogen on a semi-conductor substrate, The process which forms the processed film containing the silicon film on said insulator layer, and the process which processes said processed film so that said a part of insulator layer may be exposed, It is characterized by including the process which performs oxidation treatment using the oxidizing gas containing ozone or an oxygen radical, and the process which performs either [at least] nitriding treatment or additional oxidation treatment to said semi-conductor structure where said oxidation treatment was performed to the semi-conductor structure acquired according to these processes.

[0038] The example of the following (1) - (3) is given as a more concrete configuration of the manufacture approach of the semiconductor device concerning these this inventions.

[0039] (1) Said insulator layer is the silicon oxide or the silicon nitride containing nitrogen.

[0040] (2) Said insulator layer is gate dielectric film, processes said processed film and forms a gate electrode.

[0041] (3) The nitrogen concentration in an interface with said semi-conductor substrate of said insulator layer before performing said oxidation treatment forms said insulator layer so that it may become two or more $[5 \times 10^{13} \text{cm}^{-3}]$.

[0042] this invention persons found out that oxidation would advance and thickness would increase the insulator layer which contains nitrogen and silicon as a result of research while the nitrogen in an insulator layer ***** if it oxidizes in the ambient atmosphere containing ozone or an oxygen radical.

[0043] An example of an experimental result is shown in drawing 13 and drawing 14 . The sample used in this experiment is the following, and was made and created. After forming the thermal oxidation film (silicon oxide) with a thickness of 7nm on the surface of a silicon wafer, the above-mentioned thermal oxidation film was nitrided in the 950-degree C ammonia ambient atmosphere, and the insulator layer (silicon acid nitride) which introduced nitrogen into the above-mentioned thermal oxidation film was formed.

[0044] Next, two kinds of oxidation experiments were conducted using the above-mentioned sample. The above-mentioned sample is introduced in a vertical mold batch type oxidization furnace, and one introduces oxygen gas in a vertical mold batch type oxidization furnace after that, and it performs oxidation treatment to the above-mentioned sample. This oxidation treatment was performed on condition that 13kPa for 900 degrees C and 30 minutes. The above-mentioned sample is introduced in a vertical mold batch type oxidization furnace, and others introduce the mixed gas (ozone 5%) of ozone and oxygen in a vertical mold batch type oxidization furnace after that, and perform oxidation treatment to the above-mentioned sample. This oxidation treatment was performed on 130Pa conditions for 900 degrees C and 30 minutes.

[0045] About each of a sample to which these oxidation treatments were performed, the concentration profile of the nitrogen in a silicon acid nitride and oxygen was investigated and compared by SIMS analysis (after the above-mentioned oxidation treatment, SIMS analysis was performed, after forming the polish recon film with a thickness of 10nm on the silicon acid nitride.).

The analysis result of SIMS when drawing 13 performs oxidation treatment with oxygen gas, and drawing 14 show the analysis result of SIMS at the time of performing oxidation treatment by the mixed gas of ozone and oxygen.

[0046] These drawings show that the nitrogen by the side of the front face in a silicon acid nitride is easily desorbed from oxidation treatment using ozone compared with oxidation treatment which does not use ozone, and the increment in thickness of the silicon acid nitride by advance of oxidation becomes remarkable.

[0047] When nitrous oxide (N_2O) or a nitrogen monoxide (NO) is used and nitrogen is introduced into silicon oxide instead of ammonia, the nitrogen concentration in silicon oxide becomes high in an interface part with a silicon substrate. Even in this case, by oxidizing in the ambient atmosphere containing ozone showed that the fall of the nitrogen concentration by the side of the substrate in a silicon acid nitride became remarkable, and the increment in thickness by advance of oxidation became remarkable.

[0048] Moreover, even when the sample in which the silicon nitride was formed on the surface of the silicon wafer is used instead of a silicon acid nitride, the desorption of the front-face side nitrogen in a silicon nitride becomes remarkable by oxidizing in the ambient atmosphere containing ozone. Consequently, oxidation reaction in the front face of a silicon nitride advances, and the front face of a silicon nitride is changed into silicon oxide.

[0049] As for the nitrogen desorption phenomenon in the silicon acid nitride by this oxidation style from this experimental result, it became clear that presentation ratio [of the nitrogen in the film] $[N]/([O] + [N])$ happens in 100% or less of range more highly than 0%.

[0050] Furthermore, happening similarly was confirmed even when the above phenomenon oxidized in the ambient atmosphere containing an oxygen radical instead of ozone.

[0051] The oxygen radical could make it generate in an oxidation furnace like a plasma oxidation method, and what introduced the thing which made it generate in the exterior of an oxidation furnace like a remote plasma oxidation method in the oxidation furnace is sufficient as it, or it could make it generate on a sample front face here. As an approach of generating oxygen on a sample front face, oxygen gas and hydrogen gas are introduced in an oxidation furnace, it is heating a sample front face and there is a method of making oxygen gas dissociate on a sample front face, and generating an oxygen radical, for example.

[0052] It is said that the main oxidization kinds in an ozonate process are oxygen radicals which ozone dissociates and generates. For this reason, it is thought that the same phenomenon occurred with ozonate and oxygen radical oxygen.

[0053] therefore, oxidation fully progresses at the edge of this electric-conduction film in the structure where of the electric-conduction film containing the silicon by which patterning was carried out was formed on the insulator layer containing silicon and nitrogen, and effective in electric-field relaxation, if it oxidizes in the ambient atmosphere containing the ozone or the oxygen radical which does so the operation effectiveness which was mentioned above like this invention — since it is round and a configuration can form, poor insulation can prevent effectively.

[0054] Moreover, oxidation progresses quickly rather than the substrate front face (the 1st field) under the insulator layer of the part with which the substrate front face under the insulator layer of the part which is not covered by the electric conduction film (the 2nd field) was covered by the electric conduction film. Therefore, the 2nd field becomes lower than the 1st field.

[0055] In order to attain the 2nd purpose of the above, moreover, the manufacture approach of the semiconductor device concerning this invention The process which forms the insulator layer containing a silicon nitride on the processed film containing the silicon film, The process which forms the pattern which processes said insulator layer using lithography and etching, and consists of said insulator layer, By the process which

oxidizes said pattern in the ambient atmosphere containing an oxygen radical or ozone, and changes the exposure front face of said silicon nitride into silicon oxide, and removing said silicon oxide. The process which makes said pattern detailed, and the process which imprints said pattern made detailed on said processed film, and processes said processed film are included.

[0056] The example of the following (1) - (3) is given as a more concrete configuration of the manufacture approach of the semiconductor device concerning this invention.

[0057] (1) In the process which forms said pattern, etch said insulator layer so that the front face of said processed film may not be exposed. By removing said silicon oxide after the process which changes the exposure front face of said silicon nitride into silicon oxide, and removing the thin part of thickness among said insulator layers which constitute said 1st pattern further. Said pattern is imprinted on said processed film by forming said pattern made detailed, using as a mask said pattern made detailed, and etching said processed film.

[0058] (2) Said silicon oxide is further formed in the bottom of said silicon nitride for said insulator layer, including silicon oxide.

[0059] (3) Said processed film serves as a gate electrode.

[0060] According to research of this invention persons, in the ambient atmosphere containing an oxygen radical or ozone, when oxidation treatment of a silicon nitride was performed, it turned out easily at the temperature of 850 degrees C or less that the front face of a silicon nitride is convertible for silicon oxide at the temperature of 800 degrees C or less by adjusting conditions.

[0061] Drawing 17 and drawing 18 are examples of the experimental result which shows that. Drawing 17 and drawing 18 are the microphotographies of the semi-conductor structure which contains in an oxidation kind the silicon nitride which oxidized as dry oxygen (O₂) and an oxidation species by the oxidation approach which used ozone (O₃), respectively.

[0062] The above-mentioned semi-conductor structure is the following, and was made and created. That is, on the silicon substrate, sequential formation of a silicon nitride and the TEOS oxide film was carried out, next the TEOS oxide film, the silicon nitride, and the silicon substrate were etched, heights were formed, and it created by next narrowing a TEOS oxide film and a silicon nitride with phosphoric acid. In drawing, the heights of a silicon substrate, the silicon nitride, and the TEOS oxide film are shown sequentially from the bottom.

[0063] By the oxidation approach which used dry oxygen (10%) for the oxidation kind, oxidation temperature was made into 1000 degrees C, and oxidation time amount was made into 69 minutes. In this case, the thickness of the silicon oxide formed on the surface of the silicon substrate was 15nm. On the other hand, by the oxidation approach which used ozone (partial pressure [of 133.322Pa] =1Torr) for the oxidation kind, oxidation temperature was made into 850 degrees C, and oxidation time amount was made into 240 minutes. In this case, the thickness of the silicon oxide formed on the surface of the silicon substrate was 11nm.

[0064] Although the surface layer of a silicon nitride is not convertible for silicon oxide by the oxidation approach using dry oxygen from drawing 17 and the drawing 18 Fig., it turns out by the oxidation approach using ozone that the surface layer of a silicon nitride is convertible for silicon oxide. The same result was obtained even if it used the oxygen radical instead of dry oxygen.

[0065] Therefore, according to this invention which adopted the oxidizing quality ambient atmosphere containing ozone or an oxygen radical, it is a small heat budget, and the front face of a silicon nitride can be changed into silicon oxide, without causing a plasma damage. And the pattern (SiN pattern) which consists of a silicon nitride beyond the capacity of lithography can be formed now by removing this silicon oxide.

[0066] Since the etch rate of a SiN pattern can be made later enough than that of the polish recon film when using a SiN pattern as an etching mask of the polish recon film, the thickness of a SiN pattern is thin and ends. Consequently, dispersion in the configuration of a SiN pattern becomes small enough.

[0067]

[Embodiment of the Invention] Hereafter, the gestalt (henceforth an operation gestalt) of operation of this invention is explained, referring to a drawing.

[0068] Before explaining the operation gestalt of this invention, the trouble which this invention persons who became the motivation of this invention found out is explained. In drawing 10, instead of silicon oxide 92, this problem arises, when a silicon acid nitride or a silicon nitride is used.

[0069] The difference in the configuration after post-oxidation of the silicon oxide (silicon acid nitride) 95 which contains the nitrogen by the difference in the concentration profile of nitrogen in drawing 15 is shown. The slash section shows the high concentration field of nitrogen among drawing.

[0070] The silicon acid nitride 95 which exists under the polish recon film 93 controls that an oxidizer is supplied to the lower limit section of the polish recon film 93. therefore, the lower limit section of the polish recon film 93

by post-oxidation -- being round -- it becomes inadequate.

[0071] Here, since oxidation of the lower limit section of the polish recon film 93 will not progress especially when the nitrogen concentration in the silicon acid nitride 95 by the side of the polish recon film 93 is high when the nitrogen concentration in the silicon acid nitride 95 is high, the lower limit section of the polish recon film 93 becomes the configuration where it sharpened rather than post-oxidation before (drawing 15 (b), drawing 15 (c)).

[0072] As for such fault, nitrogen presentation ratio [in the c-2m or more or about 93 polish recon film 5x10¹³ silicon acid nitride 95] $[N]/([O] + [N])$ becomes [the nitrogen concentration in the silicon nitride 95] remarkable at 1% or more at an interface with the polish recon film 93.

[0073] Moreover, the silicon acid nitride 95 which exists on a silicon substrate 91 controls that an oxidizer is supplied to the front face of a silicon substrate 91. Therefore, the BAZU beak oxidization by post-oxidization becomes inadequate.

[0074] In order that BAZU beak oxidation may not progress especially when the nitrogen concentration in the silicon acid nitride 95 by the side of a silicon substrate 91 is high when the nitrogen concentration in the silicon acid nitride 95 is high, the distance of the lower limit section of the polish recon film 93 and a silicon substrate 91 stops here, spreading (drawing 15).

[0075] As for such fault, nitrogen presentation ratio [in 5x10¹³ c-2m or more or the about 91-silicon substrate silicon acid nitride 95] $[N]/([O] + [N])$ becomes [the nitrogen concentration in the silicon nitride 95] remarkable at 1% or more at an interface with a silicon substrate 91.

[0076] If nitrogen contains in the front-face side of the silicon acid nitride 95 exposed after processing of the polish recon film 93, since oxidizing agent supply into the silicon acid nitride 95 will be controlled on the other hand, the membranous improvement by process damage recovery becomes inadequate (drawing 15 (b), drawing 15 (c)).

[0077] The problem described above arises similarly to over etching structure as shown in drawing 10 .

[0078] (1st operation gestalt) Drawing 1 is the process sectional view showing the manufacture approach of the MOS transistor concerning the 1st operation gestalt of this invention.

[0079] First, as shown in drawing 1 (a), it forms silicon oxide (un-illustrating) with a thickness of 3nm and heat-treats in a nitrogen-monoxide (NO) ambient atmosphere continuously by the oxidizing [thermally] method on the front face to which the flatness of a silicon substrate 1 was made, and the nitrogen of 5x10¹⁴cm⁻² is introduced and the silicon acid nitride 2 as gate dielectric film is formed in the substrate interface side of the above-mentioned silicon oxide.

[0080] next, LPCVD using the mono silane as a raw material as shown in drawing 1 (b) -- the polish recon film 3 of low resistance used as a gate electrode is formed by forming the polish recon film of undoping with a thickness of 150nm on the silicon acid nitride 2 and carrying out the ion implantation of the boron (B) to the polish recon film of this undoping as DOPANDO continuously by law.

[0081] Here, installation of DOPANDO may be performed using a thermal diffusion method. Moreover, donors, such as a next door (P) and arsenic (As), may be used as DOPANDO. In addition, it gives in order for the 3rd operation gestalt to explain 2' using drawing 1 in drawing, and it is not related to this operation gestalt.

Installation of above-mentioned DOPANDO may be performed to membrane formation and coincidence, or you may carry out after post-oxidation (after processing the polish recon film 3).

[0082] Next, as shown in drawing 1 (c), the resist pattern 4 for gate electrode formation is formed by applying a photoresist on the polish recon film 3, and carrying out patterning using the photograph **** method.

[0083] Next, as shown in drawing 1 (d), after carrying out patterning of the polish recon film 3 by dry etching and forming the gate electrode 3, using a resist pattern 4 as a mask, a resist pattern 4 is removed by the ashing method. Then, a silicon substrate 1 is carried in in a vertical mold batch type oxidation furnace.

[0084] Next, introducing the mixed gas (ozone 5%) of ozone and oxygen in a vertical mold batch type oxidation furnace, as it heat-treats on 130Pa conditions and is shown in drawing 1 (e), the front face (a side face, top face) of the gate electrode 3 and the exposure front face of the silicon acid nitride (gate dielectric film) 2 are oxidized, and the back oxide film 5 is formed for 900 degrees C and 10 minutes. The above-mentioned oxidization is performed by the oxygen radical produced at the reaction of ozone and oxygen.

[0085] Here, the thickness of the back oxide film 5 is set to about 5nm in the side-attachment-wall section of the gate electrode 3. Moreover, the oxidation temperature of post-oxidation has a desirable elevated temperature 900 degrees C or more, in order to raise the desorption effectiveness of the nitrogen in the silicon acid nitride 2, and to enlarge the radius of curvature of the lower limit section of the gate electrode 3 and to enable defective recovery of the silicon acid nitride 2 in a short time.

[0086] Moreover, an oxidation pressure has the desirable low voltage of 1 or less kPa so that the ozone in an ambient atmosphere may not deactivate. In addition, oxidation may be performed after this after the formation process of the source / drain field 6 performed continuously.

[0087] As shown in drawing 1 (f), after using the gate electrode 3 for a mask and introducing DOPANDO into a substrate front face by the ion implantation finally, the source / drain field 6 is formed in self align by activating a dopant by the lamp annealing method. Then, an interlayer insulation film, metal wiring, etc. which are not illustrated according to the well-known approach are formed, and an MOS transistor is completed.

[0088] The enlarged drawing near the lower limit section of the gate electrode 3 formed in drawing 2 (a) by the approach of this operation gestalt is shown. The slash section shows the high concentration field of nitrogen among drawing. If the nitrogen concentration in the silicon acid nitride 2 performs post-oxidation in an oxygen gas ambient atmosphere two or more [$5 \times 10^{13} \text{cm}^{-2}$] [near the interface with a silicon substrate 1] in a certain case (conventional technique), it will become the configuration shown in drawing 15 (a). On the other hand, in this invention, since post-oxidation is performed in the ambient atmosphere containing ozone, the nitrogen in the gate acid nitride 2 of the gate electro-treatment field near the lower limit section of the gate electrode 3 ****s, and formation of the BAZU beak by advance of oxidation of a silicon substrate 1 becomes remarkable.

[0089] Consequently, while the configuration of the lower limit section of the gate electrode 3 is fully round, the distance between the lower limit section of the gate electrode 3, and the source / drain field 6 becomes long, the lower limit section of the gate electrode 3 and the electric field of the source / drain field 6 are eased, and the dielectric strength of a component improves.

[0090] In addition, at the process of drawing 1 (e), although heat treatment of an ozone ambient atmosphere is performing post-oxidation, effectiveness with the same said of heat treatment of an oxygen radical ambient atmosphere is acquired. Moreover, if the usual oxidation is added after post-oxidation when the thickness of the back oxide film obtained by oxidation runs short after using ozone and an oxygen radical, as shown in drawing 2 (b), the back oxide film 5 of desired thickness can be formed.

[0091] When it is not desirable for the nitrogen in the silicon acid nitride 2 near the lower limit section of the gate electrode 3 (gate dielectric film) to **** in the oxidation using ozone or an oxygen radical further again, for example, in being anxious about the fall of the diffusion control capacity of dopants, such as a fall of the carrier resistance by the desorption of nitrogen, a fall of high electric-field stress resistance, or boron If heat treatment of nitriding nature gas ambient atmospheres, such as a nitrogen monoxide, etc. adds the usual nitrogen introduction process after post-oxidation, as shown in drawing 2 (c), nitrogen can be introduced into the silicon acid nitride 2 near the lower limit section of the gate electrode 3 (gate dielectric film).

[0092] Moreover, at the process of drawing 1 (d), in case patterning of the polish recon film 3 is carried out, the enlarged drawing near [in the case of being etched to the silicon acid nitride 2] the lower limit section of the gate electrode 3 is shown in drawing 2 (d). The slash section shows the high concentration field of nitrogen among drawing. Since post-oxidation is performed in the ambient atmosphere which contains ozone by this invention as compared with drawing 16 (a) at the time of performing post-oxidation in an oxygen gas ambient atmosphere (conventional technique), the nitrogen near the upper limit section of the silicon substrate 1 in the silicon acid nitride 2 ****s and post-oxidation fully advances, the upper limit section of a silicon substrate 1 is round, and a configuration becomes remarkable. Consequently, the lower limit section of the gate electrode 3 and the electric field of the source / drain field 6 are eased, and the dielectric strength of a component improves.

[0093] Although the thermal oxidation film (un-illustrating) was heat-treated in the nitrogen-monoxide ambient atmosphere and the silicon acid nitride 2 was formed at the process of drawing 1 (a), also when the nitrogen in a silicon acid nitride forms a high concentration layer in the interface by the side of a substrate, the same effectiveness as the above is acquired like [in the case of heat-treating in ambient atmospheres, such as a nitrous oxide (N_2O) ambient atmosphere,].

[0094] Moreover, like [in the case of heat-treating the thermal oxidation film in an ammonia (NH_3) ambient atmosphere], also when the nitrogen in a silicon acid nitride forms a high concentration layer in the interface by the side of a substrate, and the interface by the side of a gate electrode, the same effectiveness as the above is acquired.

[0095] (2nd operation gestalt) Drawing 3 is the process sectional view showing the manufacture approach of the flash plate memory cell concerning the 2nd operation gestalt of this invention.

[0096] First, as shown in drawing 3 (a), silicon oxide (un-illustrating) with a thickness of 8nm is formed in the front face to which the flatness of a silicon substrate 11 was made by the oxidizing [thermally] method. Then, heat-treat in an ammonia ambient atmosphere and a nitrogen high concentration field where the peak value of

nitrogen presentation ratio $[N]/([O] + [N])$ becomes about 10% at a film rear-face [of the above-mentioned silicon oxide] and film front-face side (substrate interface side) is formed. The silicon acid nitride 12 as a tunnel insulator layer is formed. It checked that the peak value of nitrogen presentation ratio $[N]/([O] + [N])$ also became about 10% at a film rear-face [of the silicon acid nitride 12], and film front-face side (substrate interface side).

[0097] next, LPCVD using the mono silane and the phosphine as a raw material as shown in drawing 3 (b) -- the polish recon film 13 with a thickness of 150nm of low resistance used as a floating-gate electrode with which Lynn was doped is formed on the silicon acid nitride 12 by law. Here, installation of DOPANDO may be performed using a thermal diffusion method. Moreover, DOPANDO other than Lynn may be used. Installation of above-mentioned DOPANDO may be performed after membrane formation.

[0098] Then, as shown in drawing 3 (b), according to the approach of common knowledge of the inter-electrode insulator layer 14 and the electric conduction film (for example, polish recon film containing DOPANDO) 15 used as a control gate electrode, sequential formation is carried out on the polish recon film 13.

[0099] Next, as shown in drawing 3 (c), after carrying out patterning of the electric conduction film 15, the inter-electrode insulator layer 14, and the polish recon film 13 by dry etching, using as a mask the resist pattern which is not illustrated, the above-mentioned resist pattern is removed by the ashing method.

[0100] Next, introducing an oxygen radical in this furnace, after carrying in a silicon substrate in a remote plasma oxidation furnace, by heat-treating on 130Pa conditions for 900 degrees C and 10 minutes, as shown in drawing 3 (d), the side-attachment-wall side of the polish recon film (floating-gate electrode) 13 and the exposure front face of the silicon acid nitride (tunnel insulator layer) 12 are oxidized, and the back oxide film 16 is formed. In addition, oxidation may be performed after this after the formation process of the source / drain field 17 performed continuously.

[0101] Here, the thickness of the back oxide film 16 is set to about 10nm in the side-attachment-wall section of the polish recon film (floating-gate electrode) 13. After this, the oxidation temperature of oxidation has a desirable elevated temperature 900 degrees C or more, in order to raise the desorption effectiveness of the nitrogen in the silicon acid nitride (tunnel insulator layer) 12, and to enlarge the radius of curvature of the lower limit section of the floating-gate electrode 13 and to enable defective recovery of the tunnel insulator layer 12 in a short time.

[0102] Moreover, after covering the exposure front face of the electric conduction film by the film which has barrier property to an oxidizing agent like a silicon nitride like [in case the control gate electrodes 15 are electric conduction film, such as metal membrane metallurgy group silicide film instead of the doped silicon film (low resistance semi-conductor film),] to oxidize the control gate electrode 15, it is good to perform post-oxidation.

[0103] Moreover, after covering the metal silicide film etc. like thick CVD silicon oxide by film which lowers an oxidation rate to control catastrophic oxidation, such as metal silicide film, it is good to perform post-oxidation.

[0104] Next, as shown in drawing 3 (e), after using the control gate electrode 15 for a mask and introducing a dopant into a substrate front face by the ion implantation, the source / drain field 17 is formed in self align by activating a dopant by the lamp annealing method. Then, an interlayer insulation film, metal wiring, etc. which are not illustrated according to the well-known approach are formed, and an MOS transistor is completed.

[0105] The enlarged drawing near the lower limit section of the floating-gate electrode 13 is shown in drawing 4 (a) by the approach of this operation gestalt. The slash section shows the high concentration field of nitrogen among drawing.

[0106] If nitrogen presentation ratio [in about 13 floating-gate electrode and the about 11-silicon substrate silicon acid nitride 12] $[N]/([O] + [N])$ performs post-oxidation in an oxygen gas ambient atmosphere 1% or more in a certain case (Prior art), it will become a configuration as shown in drawing 15 (b). On the other hand, in this invention, since it has back-oxidized in the ambient atmosphere containing an oxygen radical, the nitrogen of the floating-gate electrotreatment field near the lower limit section of the floating-gate electrode 13 in the silicon acid nitride 12 ****s, and the lower limit section of the floating-gate electrode 13 and advance of oxidation of a silicon substrate 11 become remarkable.

[0107] Consequently, when the lower limit section of the floating-gate electrode 13 and the electric field of the source / drain field 17 are eased by increase of the curvature of the lower limit section of the floating-gate electrode 13, and advance of BAZU beak oxidation of a silicon substrate 11 and the process damage in the silicon acid nitride 12 near the lower limit section of the floating-gate electrode 13 is further recovered by them, dielectric strength improves.

[0108] In addition, at the process of drawing 3 (d), although heat treatment in an oxygen radical ambient

atmosphere is performing post-oxidation, effectiveness with the same said of heat treatment in an ozone ambient atmosphere is acquired. Moreover, when the thickness of the back oxide film obtained by oxidation is insufficient after using ozone and an oxygen radical, the usual oxidation may be added after post-oxidation.

[0109] When it is not desirable for the nitrogen in the silicon acid nitride 12 near the lower limit section of the floating-gate electrode 13 (tunnel insulator layer) to **** in oxidation further again after using ozone and an oxygen radical, after post-oxidation, heat treatment in nitriding nature gas ambient atmospheres, such as a nitrogen monoxide, etc. may add the usual nitrogen introduction process, and may introduce nitrogen.

[0110] Moreover, at the process of drawing 3 (c), in case patterning of the polish recon film 13 is carried out, the enlarged drawing near [in the case of being etched to the silicon substrate 11] the lower limit section of the floating-gate electrode 13 is shown in drawing 4 (b). The slash section shows the high concentration field of nitrogen among drawing.

[0111] Since it is oxidizing in the ambient atmosphere which contains an oxygen radical by this invention as compared with drawing 16 (b) at the time of back-oxidizing in an oxygen gas ambient atmosphere (conventional technique), and the nitrogen by the side of the substrate interface in the silicon acid nitride (tunnel insulator layer) 12 and a film front face ****s and oxidization fully advances, the lower limit section of the floating-gate electrode 13 and the upper limit section of a silicon substrate 11 are round, and a configuration becomes remarkable.

[0112] Consequently, since the lower limit section of the floating-gate electrode 13 and the electric field of the source / drain field 17 are eased and the process damage of the near part by the side of the rear face of the silicon acid nitride (tunnel insulator layer) 12 and a front face (substrate interface side) is recovered further, dielectric strength improves. Moreover, also when a silicon nitride is used as a tunnel insulator layer, it is possible to acquire the same effectiveness.

[0113] (3rd operation gestalt) Next, the manufacture approach of the MOS transistor concerning the 3rd operation gestalt of this invention is explained. This operation gestalt explains the example which used the silicon nitride as gate dielectric film. In addition, since the process sectional view showing the manufacture approach of this operation gestalt is the same as it of the 1st operation gestalt, here explains using drawing 1 .

[0114] First, as shown in drawing 1 (a), with a thickness [as gate dielectric film] of 3nm silicon nitride 2' is formed in the front face to which the flatness of a silicon substrate 1 was made by the LPCVD method which used ammonia as the mono silane as a raw material.

[0115] next, LPCVD using the mono silane as a raw material — by forming the polish recon film of undoping with a thickness of 150nm on silicon nitride 2' and carrying out the ion implantation of the boron (B) to the polish recon film of this undoping as DOPANDO continuously by law, as shown in drawing 1 (b), the polish recon film 3 of low resistance used as a gate electrode is formed.

[0116] Here, installation of DOPANDO may be performed using a thermal diffusion method. Moreover, donors, such as a next door (P) and arsenic (As), may be used as DOPANDO. Installation of above-mentioned DOPANDO may be performed to membrane formation and coincidence, or you may carry out after post-oxidation (after processing the polish recon film 3).

[0117] Next, as shown in drawing 1 (c), the resist pattern 4 for gate electrode formation is formed by applying a photoresist on the polish recon film 3, and carrying out patterning using the photograph **** method.

[0118] Next, as shown in drawing 1 (d), after carrying out patterning of the polish recon film 3 by dry etching and forming a gate electrode, using a resist pattern 4 as a mask, a resist pattern 4 is removed by the ashing method.

[0119] Next, introducing the mixed gas (50% of oxygen) of oxygen and hydrogen in this furnace, after carrying in a silicon substrate 1 in the single-wafer-processing oxidation furnace of a lamp heating method, by heat-treating on 650Pa conditions for 900 degrees C and 10 seconds, as shown in drawing 1 (e), the front face (a side face, top face) of the gate electrode 3 and the exposure front face of silicon nitride (gate dielectric film) 2' are oxidized, and the back oxide film 5 is formed. The above-mentioned oxidization is performed by the oxygen radical produced at the reaction of oxygen and hydrogen.

[0120] The thickness of the back oxide film 5 is set to about 5nm in the side-attachment-wall section of 4nm and the gate electrode 3 on a silicon substrate 1. After this, the oxidation temperature of oxidation has a desirable elevated temperature 900 degrees C or more, in order to raise the desorption effectiveness of the nitrogen in the silicon acid nitride 2, and to enlarge the radius of curvature of the lower limit section of the gate electrode 3 and to enable defective recovery of silicon nitride 2' in a short time.

[0121] Moreover, an oxidation pressure has the desirable low voltage of 1 or less kPa so that the ozone in an ambient atmosphere may not deactivate at the reaction of oxygen and hydrogen. In addition, oxidation may be performed after this after the formation process of the source / drain field 6 performed continuously.

[0122] As shown in drawing 1 (f), after using the gate electrode 3 for a mask and introducing a dopant into a substrate front face by the ion implantation finally, the source / drain field 6 is formed in self align by activating a dopant by the lamp annealing method. Then, an interlayer insulation film, metal wiring, etc. which are not illustrated according to the well-known approach are formed, and an MOS transistor is completed.

[0123] The enlarged drawing near the lower limit section of the gate electrode 3 formed in drawing 5 (a) by the approach of this operation gestalt is shown. The slash section shows the high concentration field of nitrogen among drawing. In this invention, since post-oxidation is performed in the ambient atmosphere containing an oxygen radical, among gate-dielectric-film (silicon nitride) 2', nitrogen ****s, oxidation reaction advances and the part of the gate electrotreatment field near the lower limit section of the gate electrode 3 is changed into silicon oxide.

[0124] Then, as compared with a configuration (configuration shown in drawing 15 (c)) when the result configuration of the lower part of the gate electrode 3 back-oxidizes in an oxygen gas ambient atmosphere (conventional technique), formation of a BAZU beak becomes remarkable by continuing oxidation of gate-dielectric-film (silicon nitride) 2' further.

[0125] Consequently, while the configuration of the lower limit section of the gate electrode 3 is fully round, the distance between the lower limit section of the gate electrode 3, and the source / drain field 6 becomes long, the lower limit section of the gate electrode 3 and the electric field of the source / drain field 6 are eased, and the dielectric strength of a component improves.

[0126] In addition, although the oxygen radical used for post-oxidization was generated at the reaction of oxygen and hydrogen in the process of drawing 1 (e), ** which made it generate by other approaches is good. Moreover, effectiveness with the same said of heat treatment in an ozone ambient atmosphere is acquired. Moreover, if the usual oxidation is added after post-oxidation when the thickness of the back oxide film obtained by oxidation runs short after using ozone and an oxygen radical, as shown in drawing 5 (b), the back oxide film 5 of desired thickness can be obtained.

[0127] if heat treatment in nitriding nature gas ambient atmospheres, such as a nitrogen monoxide, etc. adds the usual nitrogen introduction process after post-oxidation when it is not desirable for the nitrogen in silicon nitride (gate dielectric film) 2' near the lower limit section of the gate electrode 3 to **** in post-oxidation further again, it is shown in drawing 5 (c) -- as -- silicon nitride (gate dielectric film) 2' near the lower limit section of the gate electrode 3 -- nitrogen can be introduced into inside.

[0128] Moreover, at the process of drawing 1 (d), in case patterning of the polish recon film 3 is carried out, the enlarged drawing near [in the case of being etched to silicon nitride 2'] the lower limit section of the gate electrode 3 is shown in drawing 5 (d). The slash section shows the high concentration field of nitrogen among drawing.

[0129] Since post-oxidization is performed in the ambient atmosphere which contains an oxygen radical in this invention as compared with post-oxidization (drawing 16 (c)) in the oxygen gas ambient atmosphere which is the conventional technique, the nitrogen in silicon nitride (gate dielectric film) 2' ****s and oxidization fully advances, the upper limit section of a silicon substrate 1 and the lower limit section of the gate electrode 3 are round, and a configuration becomes remarkable. Consequently, the lower limit section of the gate electrode 3 and the electric field of the source / drain field 6 are eased, and the dielectric strength of a component improves.

[0130] Moreover, with this operation gestalt, after oxidizing completely silicon nitride (gate dielectric film) 2' exposed by dry etching, oxidation was continued further, but the same effectiveness is acquired even if it changes only the front-face side of the outcrop of silicon nitride (gate dielectric film) 2' into an oxide film, as shown in drawing 5 (e).

[0131] As compared with the case (drawing 15 (c)) where it back-oxidizes in the oxygen gas ambient atmosphere of the conventional technique, by this invention, the lower limit section configuration of the gate electrode 3 is round with advance of oxidation, the lower limit section of the gate electrode 3 and the electric field of the source / drain field 6 are eased, and the dielectric strength of a component improves.

[0132] LPCVD for which silicon nitride (gate dielectric film) 2' of this operation gestalt used a mono silane and ammonia as a raw material -- although formed by law -- plasma nitriding and JVD (Jet Vapor Deposition) -- the same effectiveness is acquired even if it forms by other approaches, such as law. Moreover, elements other than silicon and nitrogen may be contained in silicon nitride (gate dielectric film) 2', and the same effectiveness will be acquired if silicon and nitrogen are the film of a principal component.

[0133] (4th operation gestalt) Drawing 6 is the process sectional view showing the manufacture approach of the MOS transistor concerning the 4th operation gestalt of this invention. Here, the manufacture approach of the

MOS transistor of the detailed size beyond the capacity of lithography is explained.

[0134] First, as shown in drawing 6 (a), the silicon acid nitride 22 with a thickness [as gate dielectric film] of 5nm is formed in the front face of the silicon substrate 21 which performed channel doping for threshold control of an MOS transistor with well-known thermal oxidation / heat nitriding. Channel doping performs annealing for activating a dopant on 1050 degrees C and the conditions for 20 seconds, after introducing boron ion into a substrate front face as a dopant with ion-implantation on condition that 50keV and $3 \times 10^{19} \text{cm}^{-2}$.

[0135] Next, as shown in drawing 6 (a), after depositing the polish recon film 23 with a thickness of 150nm it is thin to a gate electrode with a CVD method on the silicon acid nitride 22, a silicon nitride with a thickness of 100nm it is thin to the SiN pattern 24 as a mask at the time of etching the polish recon film 23 is deposited with a CVD method on the polish recon film 23.

[0136] Next, as shown in drawing 6 (a), using a lithography technique, the gate resist pattern (not shown) of minimum line width (100nm) is formed on the above-mentioned silicon nitride, and width of face makes this a mask, etches the above-mentioned silicon nitride by the RIE method, and forms the SiN pattern 24.

[0137] Next, removing the above-mentioned gate resist pattern, carrying in a silicon substrate 21 in a vertical mold batch type oxidation furnace, and introducing the mixed gas (ozone 10%) of ozone and oxygen in this furnace, oxidation treatment is performed on 100Pa conditions, and as shown in drawing 6 (b), silicon oxide 25 with a thickness of 10nm is formed in the exposure front face of the SiN pattern 24 for 850 degrees C and 2 hours. Silicon oxide 25 is formed also in the exposure front face of the polish recon film 23 at this time.

[0138] Oxidation reaction of a silicon nitride progresses, while the nitrogen in the film ****s. Therefore, the surface location of the original SiN pattern 24 and the surface location of silicon oxide 25 become almost equal. Thereby, the width of face of the SiN pattern 24 becomes 80nm in the upper part, and the SiN pattern 24 of the detailed size beyond the capacity of lithography is obtained. In addition, as for the lower part of the SiN pattern 24, an oxidation rate becomes slow by the short supply of an oxidizer. Therefore, the width of face of the lower part of the SiN pattern 24 is set to 85nm.

[0139] Next, as shown in drawing 6 (c), after a rare fluoric acid solution removes silicon oxide 25, the SiN pattern 24 is used as a mask, the polish recon film 23 is etched by the RIE method, and the gate electrode 23 with a width of face of 85nm is formed. Then, a phosphoric-acid solution removes the SiN pattern 24. At this time, the exposed part of the silicon acid nitride (gate dielectric film) 22 is also removed.

[0140] Next, as shown in drawing 6 (d), it oxidizes thermally at the temperature of 850 degrees C, and the back oxide film 26 with a thickness of 5nm is formed in the exposure front face of a silicon substrate 21, the silicon acid nitride 22, and the gate electrode 23.

[0141] Next, as shown in drawing 6 (d), the gate electrode 23 is used as a mask, on condition that 10keV and $5 \times 10^{14} \text{cm}^{-2}$, with ion-implantation, after introducing arsenic ion into a substrate front face through the back oxide film 26 as a dopant, ANI 1 RU for activating a dopant on 800 degrees C and the conditions for 10 seconds is performed, and the extension field (diffusion field shallow at low high impurity concentration) 27 is formed in self align. Here, after processing the polish recon film 23, the dopant was introduced, but after membrane formation, coincidence, or membrane formation, you may carry out, before processing the polish recon film 23.

[0142] Next, as shown in drawing 6 (e), after depositing on the whole surface a silicon nitride with a thickness of 50nm it is thin to the sidewall spacer 28 with a CVD method, this silicon nitride is etched by the well-known etchback RIE method, and the sidewall spacer 28 is formed in the side attachment wall of the gate section. The workmanship thickness of the sidewall spacer 28 is about 50nm.

[0143] Next, while lowering resistance of the gate electrode 23 by performing annealing for activating a dopant on 1000 degrees C and the conditions for 10 seconds after introducing arsenic ion into a substrate front face and the gate electrode 23 as a dopant with ion-implantation on condition that 60keV and $5 \times 10^{15} \text{cm}^{-2}$ as shown in drawing 6 (e), the source / drain field (diffusion field deep at high high impurity concentration) 29 is formed.

[0144] Next, as shown in drawing 6 (f), after a rare fluoric acid solution removes the exposed back oxide film 26, the cobalt film 30 with a thickness of 10nm is formed in the whole surface by the spatter.

[0145] Next, as shown in drawing 6 (g), after performing 500 degrees C, annealing for 60 seconds, 770 degrees C, and annealing for 30 seconds one by one (it is a deed about two-step annealing) and forming the cobalt silicide film 31 in the up front face of the gate electrode 23, and the source / drain field 29, the unreacted cobalt film 30 is removed.

[0146] Then, with a well-known technique, an interlayer insulation film and wiring are formed and the MOS transistor of the detailed size whose GE 1 TO electrode width of face is 85nm is completed.

[0147] With this operation gestalt, the SiN pattern 24 which consists of a silicon nitride which can take etch selectivity to the polish recon film 23 as a mask at the time of etching the polish recon film 23 is used.

Therefore, the aspect ratio of the SiN pattern 24 does not become high. Therefore, dispersion in the workmanship processing configuration of the GE 1 TO electrode 23 can be reduced sharply. Furthermore, the problem that the SiN pattern 24 falls does not arise, either.

[0148] Moreover, since the SiN pattern 24 is oxidized in the ozone ambient atmosphere, a heat budget can be reduced sharply and change of the concentration profile of the boron in a silicon substrate 21 does not pose a problem.

[0149] Furthermore, since the silicon acid nitride (gate acid nitride) 22 does not receive [in oxidation in an ozone ambient atmosphere] a plasma damage unlike the case of plasma oxidation, the problem of the fall of the dependability of gate dielectric film 22 and property fluctuation of an MOS transistor does not arise.

[0150] Such effectiveness is similarly acquired not only by oxidization of an ozone ambient atmosphere but by oxidization of an oxygen radical ambient atmosphere. Moreover, when property fluctuation of the MOS transistor by the plasma damage can be permitted, it becomes possible to use together the plasma oxidation method of oxygen or an ozone ambient atmosphere.

[0151] (5th operation gestalt) By the manufacture approach shown with the 4th operation gestalt, the process which oxidizes the film used as a gate electrode is used. Therefore, the above-mentioned manufacture approach cannot be applied when using the electric conduction film which causes catastrophic oxidation, such as tungsten film, as all or some of a gate electrode. This operation gestalt explains the manufacture approach of the MOS transistor of the detailed size beyond the capacity of the lithography at the time of using such electric conduction film.

[0152] First, as shown in drawing 7 (a), the silicon nitride 42 with a thickness [as gate dielectric film] of 5nm is formed in the front face of the silicon substrate 41 which performed channel doping for threshold control of an MOS transistor like the 4th operation gestalt with a well-known CVD method.

[0153] Next, as shown in drawing 7 (a), after forming the polish recon film 43 with a thickness of 100nm it is thin to a gate electrode with a CVD method and forming the tungsten film 44 with a thickness of 100nm by the sputter further on the silicon nitride 42, the silicon nitride 45 with a thickness of 150nm it is thin to the SiN pattern at the time of carrying out silicon nitride etching of the polish recon film 43 and the tungsten film 44 is formed with a CVD method. Here, installation of the dopant for forming the polish recon film 43 into low resistance is, after forming membrane formation of the polish recon film 43, and coincidence and the polish recon film 43, and before it processes this film 43, it may be performed after post-oxidation (after processing the polish recon film 43).

[0154] Next, as shown in drawing 7 (b), using a lithography technique, width of face forms the gate resist pattern (not shown) of minimum line width (100nm), makes this a mask, and etches only 100nm of front faces of the silicon nitride 45 by the RIE method. Consequently, the thickness of the silicon nitride 45 of the field which is not covered with a gate resist pattern is set to 50nm. Then, a gate resist pattern is removed and a silicon substrate 41 is carried in in a remote plasma oxidation furnace.

[0155] Next, introducing an oxygen radical in a remote plasma oxidation furnace, it heat-treats on 100Pa conditions, and as shown in drawing 7 (c), silicon oxide 46 with a thickness of 10nm is formed in the exposure front face of the silicon nitride 45 for 900 degrees C and 10 minutes.

[0156] Oxidation reaction of a silicon nitride progresses, while the nitrogen in the film ****s. Therefore, the surface location of the original silicon nitride 45 and the surface location of silicon oxide 46 become almost equal. The width of face of the silicon nitride 45 after forming silicon oxide 46 becomes 80nm by this in the upper part, and it becomes possible to obtain the gate electrode pattern of the detailed size beyond the capacity of lithography. The thickness of the silicon nitride 45 of fields other than a gate electrode pattern is set to 40nm.

[0157] Next, as shown in drawing 7 (d), after a rare fluoric acid solution removes silicon oxide 46, the whole surface of the silicon nitride 45 is etched by the RIE method, the silicon nitride 45 of fields other than a gate electrode pattern is removed, and a SiN pattern is formed. At this time, the width of face of the lower part of the silicon oxide 46 which remained is set to 85nm.

[0158] Next, as shown in drawing 7 (e), the SiN pattern 45 is used as a mask, sequential etching of the tungsten film 44 and the polish recon film 43 is carried out by the RIE method, and a gate electrode with a width of face of 85nm which has the polycide structure which consists of a cascade screen of the polish recon film 43 and the tungsten film 44 is formed.

[0159] A next process is the same technique as the 4th operation gestalt, it forms a back oxide film, a sidewall spacer, an extension field, and the source / drain field, and has the polycide structure using the tungsten film as a metal membrane, and the MOS transistor of the detailed size whose gate electrode width of face is 85nm

completes it.

[0160] According to this operation gestalt, in the oxidation process (drawing 7 (c)) of the silicon nitride 45 for forming a detailed SiN pattern, since the tungsten film 44 is covered by the silicon nitride 45, catastrophic oxidation does not happen. Moreover, it was checked that the MOS transistor of this operation gestalt has the same effectiveness as the 4th operation gestalt.

[0161] (6th operation gestalt) By the manufacture approach shown with the 4th operation gestalt and the 5th operation gestalt, it will originate in the configuration of a SiN pattern and the gate electrode of width of face thicker than the minimum width of face of a SiN pattern will be formed. This operation gestalt explains the manufacture approach of the MOS transistor of the detailed size beyond the capacity of lithography which solved this problem.

[0162] First, as shown in drawing 8 (a), the polish recon film 53 with a thickness of 150nm it is thin to the silicon acid nitride 52 with a thickness [as gate dielectric film] of 5nm and a gate electrode is formed in the front face of the silicon substrate 51 which performed channel doping for threshold control of an MOS transistor with a well-known CVD method.

[0163] The above-mentioned channel doping performs annealing for activating a dopant on 1050 degrees C and the conditions for 20 seconds, after introducing boron ion into a substrate front face as a dopant with ion-implantation on condition that 150keV and $3 \times 10^{19} \text{cm}^{-2}$. Moreover, installation of the dopant for forming the polish recon film 53 into low resistance is, after forming membrane formation of the polish recon film 53, and coincidence and the polish recon film 53, and before it processes this film 53, it may be performed after post-oxidation (after processing the polish recon film 53).

[0164] Next, as shown in drawing 8 (a), after forming silicon oxide 54 with a thickness of 5nm in the front face of the polish recon film 53 by the oxidizing [thermally] method, the silicon nitride 55 with a thickness of 100nm is formed with a CVD method on silicon oxide 54. Silicon oxide 54 and the silicon nitride 55 are SiO₂ as a mask at the time of etching the polish recon film 53, respectively. It becomes a pattern and a SiN pattern.

[0165] Next, as shown in drawing 8 (b), using a lithography technique, width of face forms the gate resist pattern (not shown) of minimum line width (100nm), this is made into a mask, sequential etching of the silicon nitride 55 and the silicon oxide 54 is carried out by the RIE method, and it is SiO₂. A pattern and a SiN pattern are formed. Then, the above-mentioned gate resist pattern is removed and a silicon substrate 51 is carried in in a vertical mold batch type oxidation furnace.

[0166] Next, it is SiO₂, as it heat-treats on 100Pa conditions and is shown in drawing 8 (c) for 850 degrees C and 2 hours, introducing the mixed gas (ozone 10%) of ozone and oxygen in a vertical mold batch type oxidation furnace. Silicon oxide 56 with a thickness of 10nm is formed in the exposure front face of a pattern 54 and the SiN pattern mask 55. Silicon oxide 56 is formed also in the exposure front face of the polish recon film 53 at this time.

[0167] Oxidation reaction of a silicon nitride progresses, while the nitrogen in the film ****s. Therefore, the surface location of the original SiN pattern 55 and the surface location of silicon oxide 56 become almost equal. Thereby, the width of face of the SiN pattern 55 is set to 80nm, and the SiN pattern 55 of the detailed size beyond the capacity of lithography is obtained. Furthermore, the lower part of the SiN pattern 55 is SiO₂ which consists of quick silicon oxide of diffusion of an oxidizer. Since it is formed by the pattern 55, the above-mentioned lower part becomes the configuration where the edge was round.

[0168] Next, as shown in drawing 8 (d), a rare fluoric acid solution removes silicon oxide 56. At this time, it is SiO₂. Since a pattern 54 is also removed slightly, a shoulder 57 is formed in the polish recon film 53.

[0169] Next, as shown in drawing 8 (e), patterns 54 and 55 are used as a mask, the polish recon film 53 is etched by the RIE method, and the gate electrode 53 with a width of face of 80nm is formed. At this time, the up edge 58 of the gate electrode 53 is round under the effect of the shoulder 57 formed in the polish recon film 53.

[0170] Next, as shown in drawing 8 (f), after a phosphoric-acid solution removes the exposed parts of the SiN pattern film 55 and the gate acid nitride 52, and the whole silicon oxide 54, 850-degree C thermal oxidation is performed and the back oxide film 59 with a thickness of 5nm is formed in a silicon substrate 51 and the exposure front face of the gate electrode 53.

[0171] Next, as shown in drawing 8 (f), after introducing boron fluoride ion into a substrate front face through the back oxide film 59 on condition that 5keV and $5 \times 10^{14} \text{cm}^{-2}$ as a dopant with ion-implantation, the extension field 60 is formed by performing annealing for activating a dopant on 800 degrees C and the conditions for 10 seconds.

[0172] Next, as shown in drawing 8 (f), after depositing on the whole surface a silicon nitride with a thickness of 50nm it is thin to the sidewall spacer 61 with a CVD method, this silicon nitride is etched by the well-known

etchback RIE method, and the sidewall spacer 61 is formed. The workmanship thickness of the sidewall spacer 61 is about 50nm.

[0173] Next, while lowering resistance of the gate electrode 53 by performing annealing for activating a dopant on 1000 degrees C and the conditions for 10 seconds after introducing arsenic ion in a substrate front face and the gate electrode 33 as a dopant with ion-implantation on condition that 60keV and $5 \times 10^{15} \text{cm}^{-2}$ as shown in drawing 8 (f), the source / drain field 62 is formed.

[0174] Next, as shown in drawing 8 (g), a rare fluoric acid solution removes the exposed back oxide film 59, the cobalt film (un-illustrating) with a thickness of 10nm is formed in the whole surface by the spatter, 500 degrees C, annealing for 60 seconds, 770 degrees C, and annealing for 30 seconds are performed one by one (performing two-step annealing), and the cobalt silicide film 63 is formed in the upper part of the gate electrode 53, and the source / drain field 62. Then, the unreacted cobalt film is removed. Here, in the cobalt silicide film 63 formed in the upper part of the gate electrode 53, the surface area becomes large reflecting the radius-of-circle configuration of the up edge of the gate electrode 53.

[0175] Then, with a well-known technique, an interlayer insulation film and wiring are formed and the MOS transistor whose GE 1 TO electrode width of face is 85nm is completed.

[0176] With this operation gestalt, the cascade screen of silicon oxide 54 (lower part) / silicon nitride 55 (upper part) is used as a mask for gate electrode processing. Silicon oxide 54 has diffusion of an oxidizer quicker than the silicon nitride 55. Therefore, in the oxidation process (drawing 8 (c)) for forming the detailed mask for gate electrode processing, the lower part of the mask for gate electrode processing does not grow fat. Consequently, the MOS transistor which has a detailed gate electrode equivalent to the mask lower limit can be formed.

[0177] Moreover, since the surface area of the cobalt silicide film 63 formed in the upper part of the gate electrode 53 is large, resistance of the gate electrode 53 can be lowered effectively and high-speed operation of an MOS transistor can be realized. Furthermore, it was checked that the MOS transistor of this operation gestalt has the same effectiveness as the 4th operation gestalt.

[0178] (7th operation gestalt) Drawing 9 is the process sectional view showing the manufacture approach of the non-volatile memory cell concerning the 7th operation gestalt of this invention. This shows the cross section in the direction of a channel, and the direction which intersects perpendicularly.

[0179] First, as shown in drawing 9 (a), the silicon acid nitride 72 with a thickness [as a tunnel insulator layer] of 10nm is formed in the front face of the silicon substrate 71 which doped boron ion for threshold control of a transistor with well-known thermal oxidation / heat nitriding, and the polish recon film 73 with a thickness of 50nm it is further thin in the lower layer of a floating-gate electrode is formed with a CVD method on the silicon acid nitride 72.

[0180] Next, as shown in drawing 9 (b), width of face and spacing form the trench resist pattern (not shown) of minimum line width (100nm) on the polish recon film 73 using a lithography technique. Make this into a mask and the polish recon film 73, the silicon acid nitride 72, and a silicon substrate 71 are etched by the RIE method.

After forming a trench with a depth [for isolation] of 200nm and then removing the above-mentioned trench resist pattern, the above-mentioned trench is embedded by the silicon oxide 74 as an isolation insulator layer.

[0181] the embedding of the above-mentioned trench -- silicon oxide 74 -- a CVD method -- the whole surface -- depositing -- the unnecessary silicon oxide 74 of the trench exterior -- CMP (Chemical Mechanical Polishing) -- it carries out by removing by law. Surface flattening can also be easily performed to coincidence by removing unnecessary silicon oxide 74 by the CMP method.

[0182] Next, as shown in drawing 9 (c), after depositing on the whole surface the Lynn doped polysilicon film 75 with a thickness of 80nm it is thin in the upper layer of a floating-gate electrode with a CVD method, the pattern (henceforth a SiN pattern) 76 which reversed the gate electrode pattern which consists of a silicon nitride with a thickness of 80nm is formed on the Lynn doped polysilicon film 75. Then, a silicon substrate 71 is introduced in a vertical mold batch type oxidation furnace.

[0183] Width of face and spacing form the gate resist pattern (un-illustrating) of minimum line width (100nm) on a silicon nitride, and the SiN pattern 76 forms it by making this into a mask and etching a silicon nitride by the RIE method. A silicon nitride is formed with a ** CVD method.

[0184] Next, introducing the mixed gas (ozone 10%) of ozone and oxygen in a vertical mold batch type oxidation furnace, by performing ***** on 100Pa conditions for 850 degrees C and 2 hours, as shown in drawing 9 (d), silicon oxide 77 with a thickness of 10nm is formed in the exposure front face of the SiN pattern 76 and the Lynn doped polysilicon film 75 by the oxidizing [thermally] method. Silicon oxide 77 serves as a mask at the time of etching the Lynn doped polysilicon film 75.

[0185] Next, as shown in drawing 9 (d), silicon oxide 78 with a thickness of 150nm is deposited on the whole

surface with a CVD method, and the clearance between the SiN patterns 76 is filled. It becomes a mask at the time of silicon oxide 78 also etching the Lynn doped polysilicon film 75.

[0186] Next, SiO₂ with a width of face of 120nm which consists of silicon oxide 77 and 78 by removing the SiN pattern 76 with a phosphoric-acid solution after deleting silicon oxide 77 and 78 by the CMP method and carrying out flattening of the front face until it uses the SiN pattern 76 for a CMP stopper and the front face of the SiN pattern 76 is exposed, as shown in drawing 9 (e) A pattern (mask for gate electrode processing) is formed.

[0187] Next, it is SiO₂ as shown in drawing 9 (f). Patterns 77 and 78 are used as a mask, the Lynn doped polysilicon film 75 is etched by the RIE method, and the upper layer of a floating-gate electrode with a width of face of 120nm is formed. Spacing of a floating-gate electrode is formed in 80nm narrower than marginal width of face of 100nm of lithography at this time. Then, SiO₂ A rare fluoric acid solution removes patterns 77 and 78.

[0188] Next, after depositing the inter-electrode insulator layer 79 with a thickness of 15nm on the whole surface with a well-known CVD method so that the exposure front face of the upper layer 75 of a floating-gate electrode may be covered as shown in drawing 9 (g), the Lynn doped polysilicon film 80 with a thickness of 100nm it is thin to a control gate electrode is deposited on the inter-electrode insulator layer 79 with a well-known CVD method. Then, a non-volatile memory cell is completed according to a well-known technique.

[0189] SiO₂ which can take etch selectivity to the polish recon film 75 as a mask at the time of etching the polish recon film 75 with this operation gestalt Since patterns 77 and 78 are used, it is SiO₂. It is not necessary to make the aspect ratio of patterns 77 and 78 high. Therefore, dispersion in the workmanship processing configuration of a floating-gate electrode can be reduced sharply. Furthermore, SiO₂ The problem that patterns 77 and 78 fall does not arise, either.

[0190] Moreover, at this operation gestalt, it is SiO₂. Spacing of patterns 77 and 78 becomes narrower than the width of face of the SiN pattern 76. Therefore, SiO₂ Spacing of patterns 77 and 78 can be made into narrow spacing beyond the capacity of lithography.

[0191] Furthermore, since the SiN pattern 76 is oxidized in the ozone ambient atmosphere, neither change of the concentration profile of the dopant which the heat budget could reduce sharply and introduced into the silicon substrate 71, nor dependability degradation of the tunnel acid nitride 72 poses a problem.

[0192] Since plasma oxidation is not used, the tunnel acid nitride 72 does not receive a plasma damage, and fluctuation of a memory cell property does not take place further again.

[0193] Such effectiveness is similarly acquired not only by oxidization of an ozone ambient atmosphere but by oxidization of an oxygen radical ambient atmosphere. Moreover, when the memory cell property fluctuation by the plasma damage can be permitted, the plasma oxidation method of oxygen or an ozone ambient atmosphere can also be used.

[0194] As mentioned above, although the operation gestalt of this invention was explained, this inventions are ** which is not what is limited to these operation gestalten, and the range which does not deviate from the summary of this invention, deform variously and can be carried out.

[0195]

[Effect of the Invention] As explained in full detail above, according to this invention, the semiconductor device which can prevent effectively the poor insulation in the edge of this electric conduction film in the structure of coming to form the electric conduction film containing the silicon by which patterning was carried out on the insulator layer containing silicon and nitrogen, and its manufacture approach can be realized now.

[0196] Moreover, according to this invention, the manufacture approach of the semiconductor device which is a small heat budget and can form the pattern which consists of a silicon nitride beyond the capacity of lithography, without causing a plasma damage can be realized now.

[Translation done.]

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The process sectional view showing the manufacture approach of the MOS transistor concerning the 1st operation gestalt of this invention

[Drawing 2] The enlarged drawing near the lower limit section of the gate electrode of this MOS transistor

[Drawing 3] The process sectional view showing the manufacture approach of the flash plate memory cell concerning the 2nd operation gestalt of this invention

[Drawing 4] The enlarged drawing near the lower limit section of the floating-gate electrode of this flash plate memory cell

[Drawing 5] The enlarged drawing near the lower limit section of the gate electrode formed by the manufacture approach of the MOS transistor concerning this 3rd operation gestalt of this invention, and its modification

[Drawing 6] The process sectional view showing the manufacture approach of the MOS transistor concerning the 4th operation gestalt of this invention

[Drawing 7] The process sectional view showing the manufacture approach of the MOS transistor concerning the 5th operation gestalt of this invention

[Drawing 8] The process sectional view showing the manufacture approach of the MOS transistor concerning the 6th operation gestalt of this invention

[Drawing 9] The process sectional view showing the manufacture approach of the non-volatile memory cell concerning the 7th operation gestalt of this invention

[Drawing 10] The process sectional view showing the conventional post-oxidation process

[Drawing 11] The process sectional view showing other conventional post-oxidation processes

[Drawing 12] The process sectional view showing the formation approach of the MOS transistor of the detailed size beyond the capacity of the conventional lithography

[Drawing 13] Drawing showing the concentration profile of the silicon of the silicon acid nitride which oxidized in the oxygen ambient atmosphere, oxygen, and nitrogen

[Drawing 14] Drawing showing the concentration profile of the silicon of the silicon acid nitride which oxidized in ozone / oxygen mixed-gas ambient atmosphere, oxygen, and nitrogen

[Drawing 15] The enlarged drawing of the component structure (with no over etching of a substrate) acquired by post-oxidation in the conventional oxygen gas ambient atmosphere

[Drawing 16] The enlarged drawing of the component structure (those of a substrate with over etching) acquired by post-oxidation in the conventional oxygen gas ambient atmosphere

[Drawing 17] The microphotography of the semi-conductor structure containing the silicon nitride which oxidized by the conventional oxidation approach

[Drawing 18] The microphotography of the semi-conductor structure containing the silicon nitride which oxidized by the oxidation approach of this invention

[Description of Notations]

1 --- Silicon substrate

2 --- Silicon acid nitride (gate dielectric film)

2' --- Silicon nitride (gate dielectric film)

3 --- Polish recon film (gate electrode)

4 --- Resist pattern

5 --- After oxide film

6 --- Source drain diffusion layer

11 --- Silicon substrate

12 --- Silicon acid nitride (tunnel insulator layer)

13 --- Polish recon film (floating-gate electrode)

14 --- Inter-electrode insulator layer

15 --- Electric conduction film (control gate electrode)

16 --- After oxide film

17 --- Source drain diffusion layer

21 --- Silicon substrate

22 --- Silicon acid nitride (gate dielectric film)

23 --- Polish recon film (gate electrode)

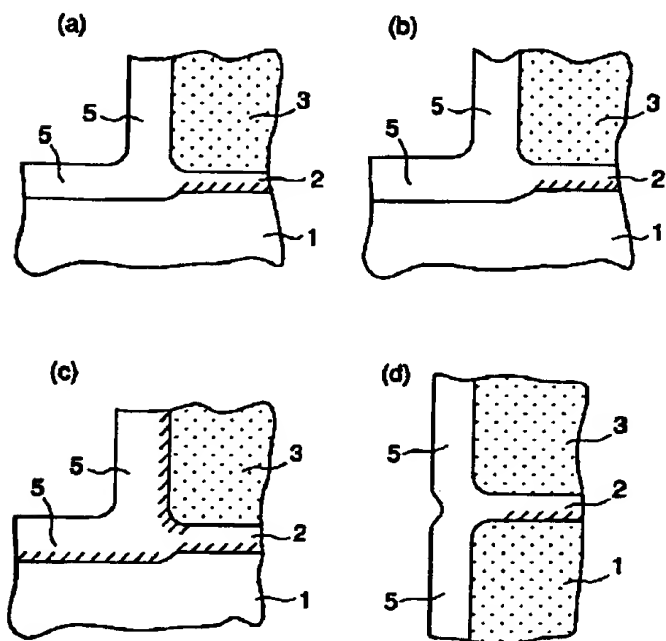
24 --- Silicon nitride (SiN pattern)

- 25 -- Silicon oxide
- 26 -- After oxide film
- 27 -- Extension field
- 28 -- Sidewall spacer
- 29 -- The source / drain field
- 30 -- Cobalt film
- 31 -- Cobalt silicide film
- 41 -- Silicon substrate
- 42 -- Silicon nitride (gate dielectric film)
- 43 -- Polish recon film (gate electrode)
- 44 -- Tungsten film (gate electrode)
- 45 -- Silicon nitride (SiN pattern)
- 46 -- Silicon oxide
- 51 -- Silicon substrate
- 52 -- Silicon acid nitride (gate dielectric film)
- 53 -- Polish recon film (gate electrode)
- 54 -- Silicon oxide (SiO₂ pattern)
- 55 -- Silicon nitride (SiN pattern)
- 56 -- Silicon oxide
- 57 -- Shoulder
- 58 -- Up edge
- 59 -- After oxide film
- 60 -- Extension field
- 61 -- Sidewall spacer
- 62 -- The source / drain field
- 63 -- Cobalt silicide film
- 71 -- Silicon substrate
- 72 -- Silicon acid nitride (tunnel insulator layer)
- 73 -- Polish recon film (floating-gate electrode lower layer)
- 74 -- Silicon oxide (isolation insulator layer)
- 75 -- Lynn doped polysilicon film (floating-gate electrode upper layer)
- 76 -- SiN pattern
- 77 78 -- Silicon oxide
- 79 -- Inter-electrode insulator layer
- 80 -- Lynn doped polysilicon film (control gate electrode)

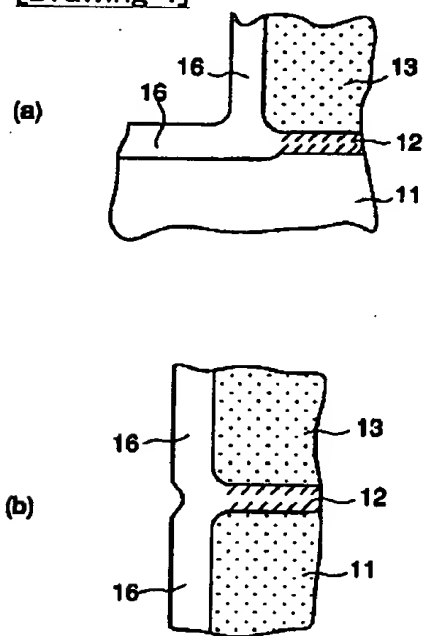
[Translation done.]

DRAWINGS

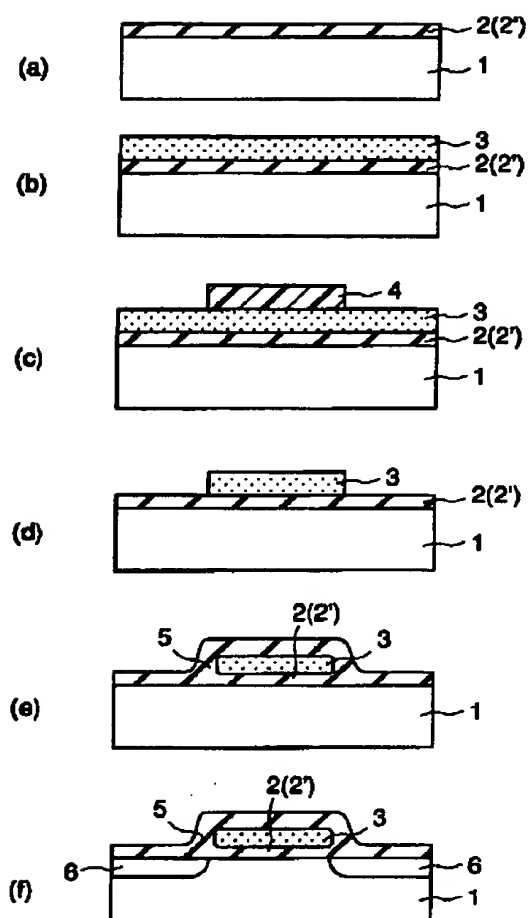
[Drawing 2]



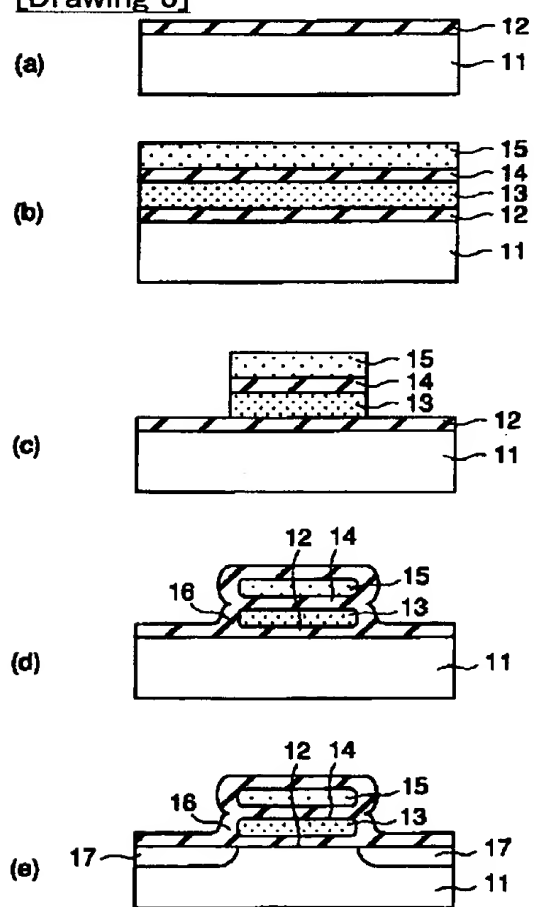
[Drawing 4]



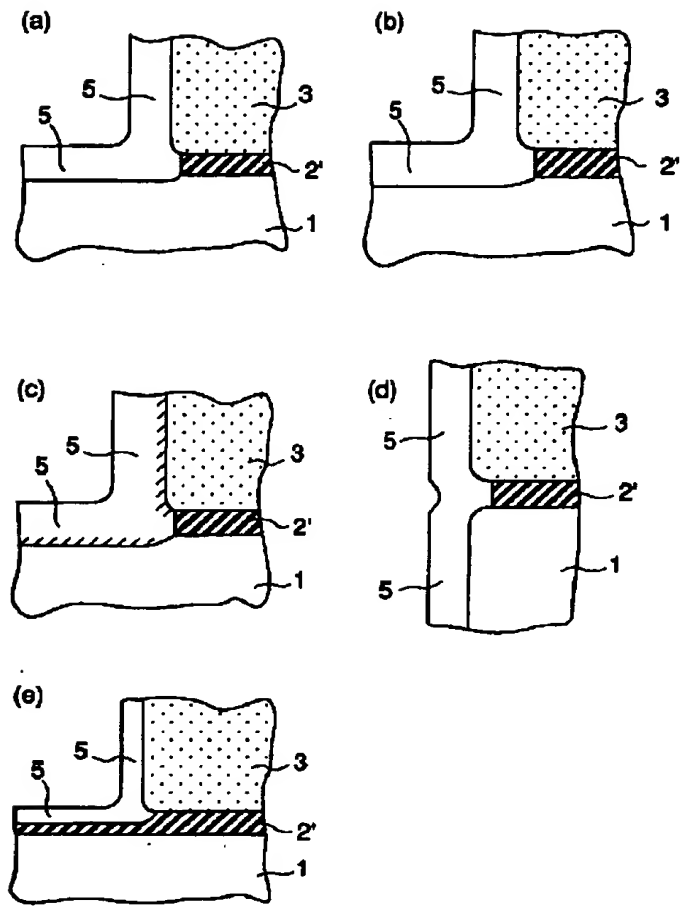
[Drawing 1]



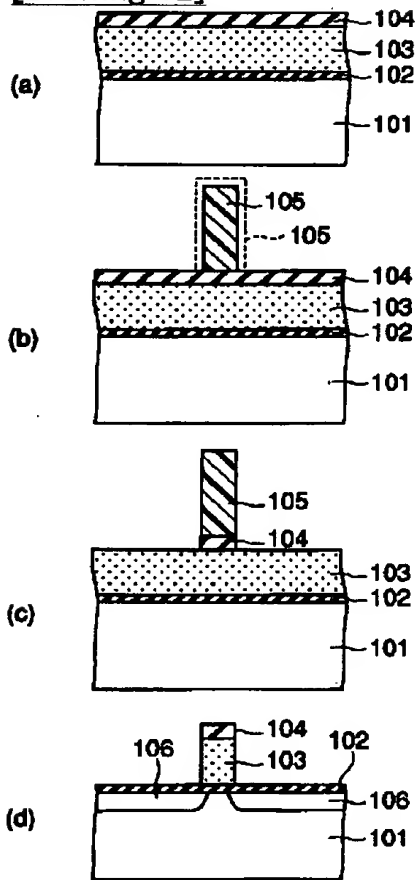
[Drawing 3]



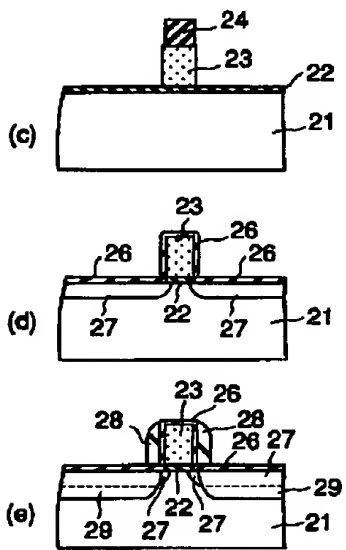
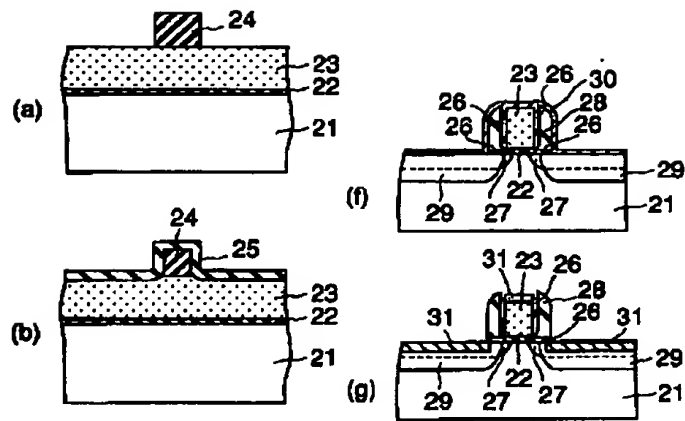
[Drawing 5]



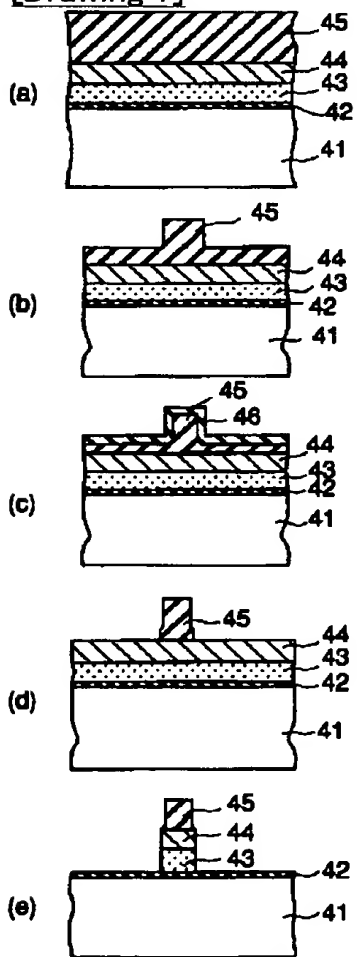
[Drawing 12]



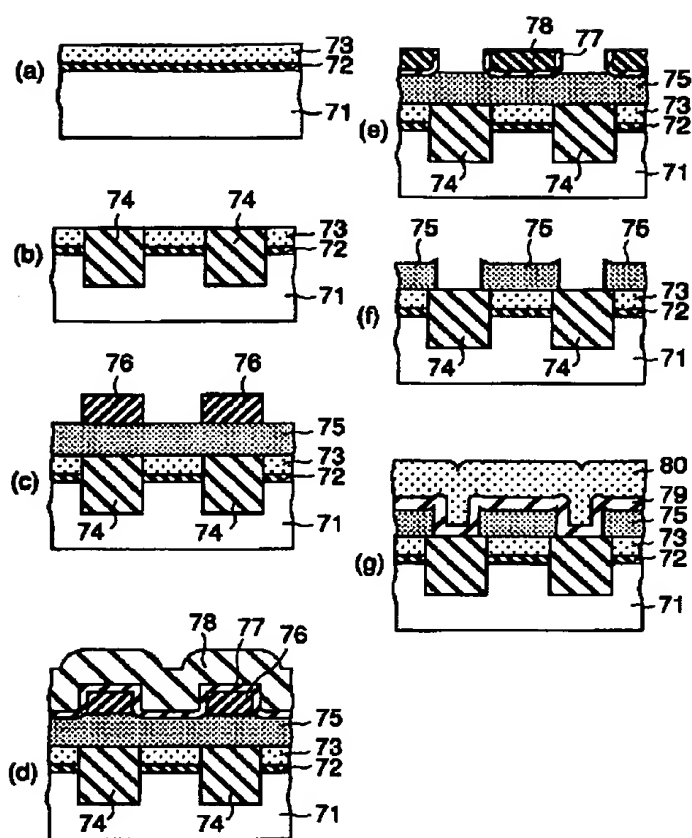
[Drawing 6]



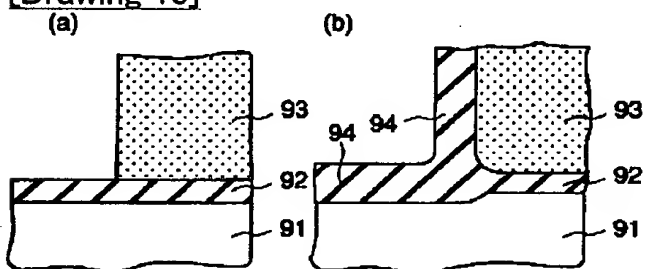
[Drawing 7]



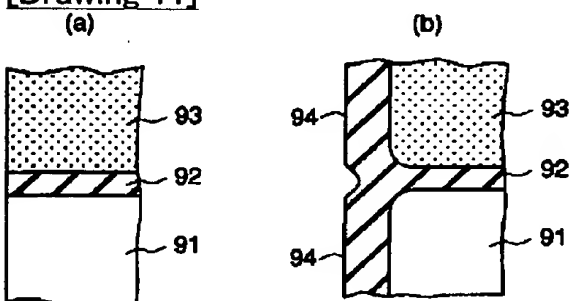
[Drawing 9]



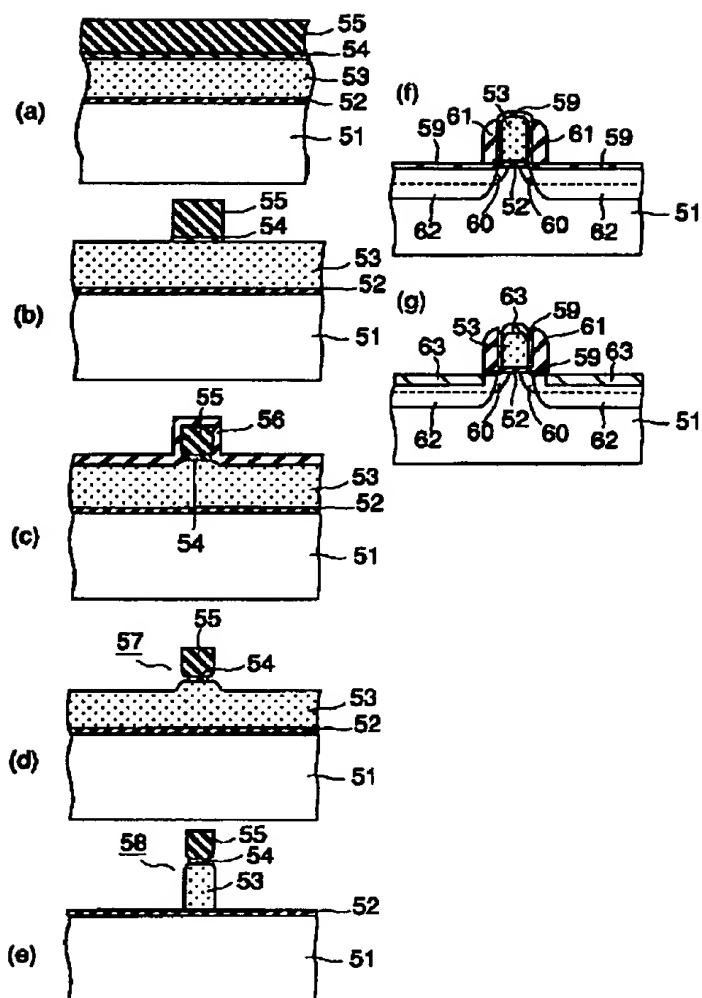
[Drawing 10]



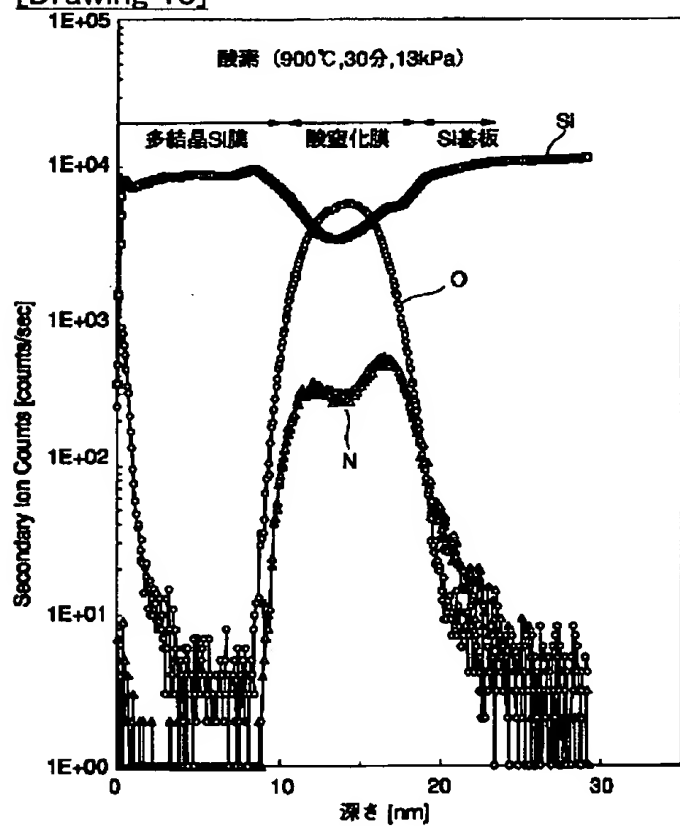
[Drawing 11]



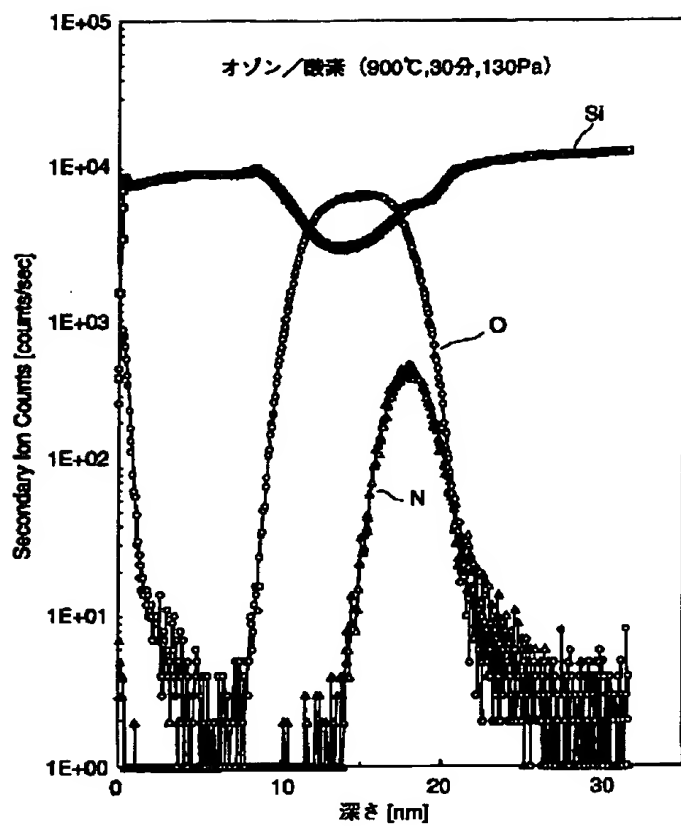
[Drawing 8]



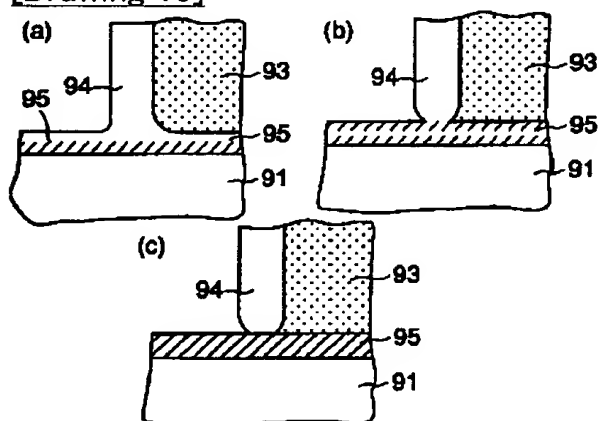
[Drawing 13]



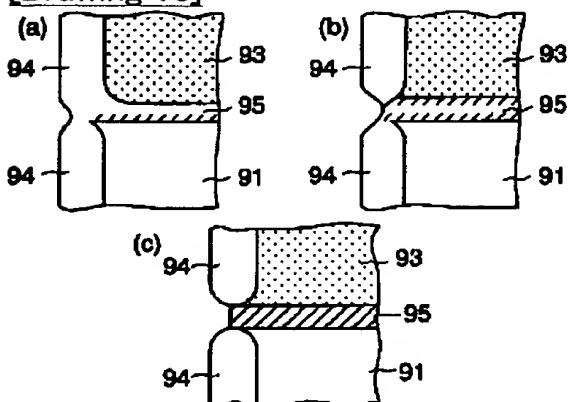
[Drawing 14]



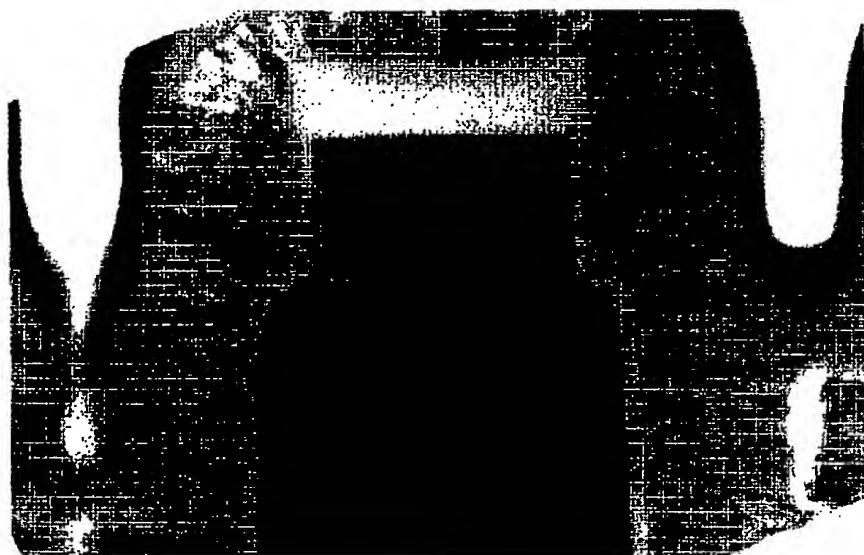
[Drawing 15]



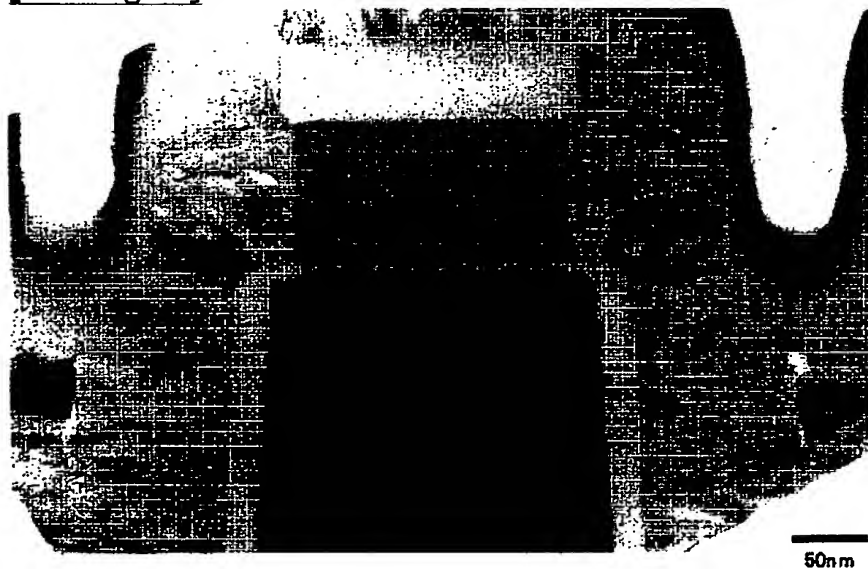
[Drawing 16]



[Drawing 17]



[Drawing 18]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-15753

(P2001-15753A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 Y
21/336		21/28	F
21/28		21/318	C
21/318		27/10	4 3 4
27/115		29/78	3 0 1 F
審査請求 未請求 請求項の数 5 O L (全 19 頁) 最終頁に続く			

(21) 出願番号 特願2000-122018 (P2000-122018)

(22) 出願日 平成12年4月24日 (2000.4.24)

(31) 優先権主張番号 特願平11-121689

(32) 優先日 平成11年4月28日 (1999.4.28)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 小澤 良夫

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 水津 康正

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 綱島 祥隆

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

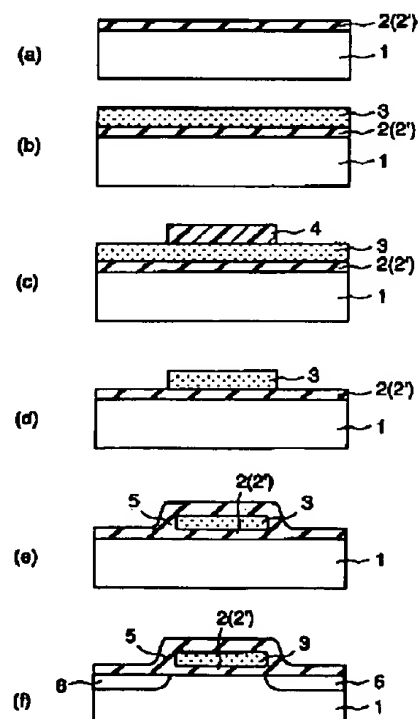
弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ゲート絶縁膜としてシリコン酸窒化膜、ゲート電極として導電性を有する多結晶シリコン膜を用いたMOSトランジスタの製造方法において、ゲート電極の下端部における電界を後酸化によって十分に緩和すること。

【解決手段】 オゾンを含む酸化種を用いた後酸化によって、ゲート電極3の下端部の形状を十分に丸める。



【特許請求の範囲】

【請求項 1】主面を有する半導体基板であって、前記主面は、第 1 の領域およびそれよりも表面が低い第 2 の領域を有し、かつ前記第 1 の領域と前記第 2 の領域は繋がっている半導体基板と、

前記第 1 の領域上に形成され、シリコン、窒素および酸素を含む第 1 の絶縁膜と、

前記第 1 の絶縁膜上に形成され、シリコンを含む導電膜と、

前記第 2 の領域上に形成され、シリコンおよび酸素を含み、前記導電膜および前記第 1 の絶縁膜とコンタクトする第 2 の絶縁膜とを具備してなることを特徴とする半導体装置。

【請求項 2】半導体基板上にシリコンおよび窒素を含む絶縁膜を形成する工程と、

前記絶縁膜上にシリコン膜を含む被加工膜を形成する工程と、

前記絶縁膜の一部が露出するべく前記被加工膜を加工する工程と、

これらの工程により得られた半導体構造に対して、オゾンまたは酸素ラジカルを含む酸化性ガスを用いて酸化処理を施す工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 3】半導体基板上にシリコンおよび窒素を含む絶縁膜を形成する工程と、

前記絶縁膜上にシリコン膜を含む被加工膜を形成する工程と、

前記絶縁膜の一部が露出するべく前記被加工膜を加工する工程と、

これらの工程により得られた半導体構造に対して、オゾンまたは酸素ラジカルを含む酸化性ガスを用いて酸化処理を施す工程と、

前記酸化処理が施された前記半導体構造に対して、窒化処理および追加酸化処理の少なくとも一方を施す工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 4】シリコン膜を含む被加工膜上にシリコン窒化膜を含む絶縁膜を形成する工程と、

前記絶縁膜をリソグラフィおよびエッチングを用いて加工し、前記絶縁膜からなるパターンを形成する工程と、

酸素ラジカルまたはオゾンを含む雰囲気中で前記パターンを酸化処理して、前記シリコン窒化膜の露出表面をシリコン酸化膜に変換する工程と、

前記シリコン酸化膜を除去することで、前記パターンを微細化する工程と、

前記被加工膜を加工し、前記微細化されたパターンを前記被加工膜に転写する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 5】前記被加工膜を形成すると同時、または前記被加工膜を形成した後、前記被加工膜を加工する前、

または被加工膜を加工した後に、前記被加工膜の全体に導電性を持たせることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、サブミクロン以下の微細な半導体素子を含む半導体装置およびその製造方法に係わり、特に MOS トランジスタの微細化に有効な半導体装置およびその製造方法に関する。

【0002】

【従来の技術】MOS トランジスタのソース／ドレイン領域とゲート電極は、これらの間に介在するゲート絶縁膜で電気的に絶縁されている。ゲート電極の下端部は鋭利な形状であるため、ゲート電極の下端部では電界が集中する。この電界集中は、ソース／ドレイン領域とゲート電極との間の絶縁不良を招く原因となる。

【0003】さらに、ゲート電極の下端部近傍のゲート絶縁膜は、ゲート電極の形成時におけるエッチングや、ソース／ドレイン領域の形成時におけるイオン注入によってプロセスダメージを受ける。このプロセスダメージによって、ゲート絶縁膜の絶縁耐性は劣化する。この絶縁耐性の劣化は、上記絶縁不良を助長する。

【0004】これらの状況は、MOS トランジスタのゲート電極の下端部だけではなく、フラッシュメモリセルの浮遊ゲート電極の下端部においても見られる。すなわち、鋭利な端部形状を有するゲート電極がゲート絶縁膜を介して半導体基板と対向する、絶縁ゲート型トランジスタの一般において見られる。

【0005】この種の絶縁不良の問題を解決する従来技術として、後酸化プロセスが知られている。このプロセスは、図 10 (a) に示すように、シリコン基板 9 1 上にシリコン酸化膜 9 2、ドーパンドを含む低抵抗のポリシリコン膜 9 3 を順次形成し、ポリシリコン膜 9 3 を所定のパターンに加工した後、図 10 (b) に示すように、酸素 (O₂) 雰囲気中で熱酸化を行い、後酸化膜 9 4 を形成するというものである。後酸化膜 9 4 を形成することで、ポリシリコン膜 9 3 の鋭利な形状の下端部が丸まり、同下端部における電界が緩和する。

【0006】さらに、上記熱酸化の際に起こるパーズビーク酸化により、ポリシリコン膜 9 3 の下端部とシリコン基板 9 1 との距離が広がることによっても、上記下端部における電界は弱まる。すなわち、基板・下端部間が広がっても電界の分布自身は変わらないが、電界の強度は全体としては弱くなるので、下端部における電界は緩和する。

【0007】さらにまた、ポリシリコン膜 9 3 の端部近傍にある、プロセスダメージを受けているシリコン酸化膜 9 2 は、追加酸化である後酸化によりプロセスダメージが回復し、膜質が改善するので、絶縁耐性が向上する。

【0008】上記後酸化プロセスは、図11に示すようなオーバーエッチング構造に対しても同様の作用を有する。図11は、ポリシリコン膜93のパターニングの際に、除去すべきポリシリコン膜93下のシリコン酸化膜92も除去され、さらにその下の基板表面もエッチングされた構造を示している。

【0009】以上述べたように、後酸化プロセスを用いれば、ポリシリコン膜93の下端部における電界集中に起因する絶縁不良を回避することが可能である。しかしながら、本発明者らの研究によれば、従来の後酸化は、後術詳説するように、ゲート絶縁膜がシリコン酸化膜やシリコン窒化膜の場合には、絶縁不良を効果的に防止することができないという問題があった。

【0010】ところで、シリコン窒化膜をシリコン酸化膜に変換する従来方法として、水蒸気または酸素

(O_2) ガスを酸化剤として用いた熱酸化方法、酸素ガスまたはオゾンガスを原料とするプラズマ雰囲気でのプラズマ酸化方法が知られている。

【0011】しかし、これらの方法には、以下のような問題がある。熱酸化方法を用いる場合、高温長時間の大きな熱バジェットが必要となる。例えば、LPCVD法で形成したシリコン窒化膜の表面を厚さ5nmのシリコン酸化膜に変換する場合、酸化速度の速い水蒸気酸化法を用いたとしても、950℃、1時間程度の大きな熱バジェットが必要となる。

【0012】熱バジェットが大きいと、シリコン基板中のドーパントが熱拡散を起こし、ドーパントの濃度プロファイルが著しく変化してしまう。そのため、熱酸化方法は、微細デバイスのプロセスへの適用が困難である。

【0013】一方、プラズマ酸化方法を用いる場合、被処理基体がプラズマに晒されるため、例えばゲート絶縁膜にプラズマダメージを与えてしまう。このようなプラズマダメージは、絶縁膜の信頼性の劣化や、デバイス特性の変動という問題を引き起こす。

【0014】以下、具体的に従来の技術とその問題点について述べる。

【0015】図12は、リソグラフィーの能力を超えた微細サイズのMOSトランジスタの形成方法を示す工程断面図である。まず、図12(a)に示すように、イオン注入法により表面にドーパントが導入されたシリコン基板101上にゲート絶縁膜102、ゲート電極となるポリシリコン膜103、ポリシリコン膜103をエッチングする際に用いるマスク(SiNパターン)となるシリコン窒化膜104を順次形成する。

【0016】次に、図12(b)に示すように、レジストを全面に塗布し、リソグラフィー技術で達成し得る最小幅を有するゲートパターンを上記レジストに転写し、レジストパターン105(破線で示された方)を形成する。その後、図12(b)に示すように、ラジカル酸素を用いた減圧下の酸化処理により、レジストパターン1

05の幅を細らせる。図には、この幅の狭くなったレジストパターン105を実線で示している。

【0017】次に、図12(c)に示すように、レジストパターン105をマスクにしてシリコン窒化膜104をRIE(Reactive Ion Etching)法でエッチングして、SiNパターンを形成する。この後、レジストパターン105を除去する。

【0018】次に、図12(d)に示すように、残ったシリコン窒化膜(SiNパターン)104をマスクにしてポリシリコン膜103をRIE法でエッチングして、リソグラフィーの能力を超えた微細サイズのゲート電極を形成する。

【0019】最後に、図12(d)に示すように、ゲート電極(ポリシリコン膜)103をマスクにして基板表面にドーパントをイオン注入した後、ドーパントを活性化するためのアニールを行って、ソース/ドレイン領域106を形成し、MOSトランジスタが完成する。

【0020】この従来方法では、図12(b)の工程で塗布するレジストの膜厚は、通常、500nm程度必要なため、例えば50nm幅のゲート電極103を形成する場合、レジストパターン105のアスペクト比は10という高い値になる。

【0021】そのため、レジストパターン105の形状にばらつきが生じやすくなり、その結果としてゲート電極103の形状にばらつきが生じるという問題が起こる。さらにレジストパターン105が倒れてしまうという問題も起こる。

【0022】また、レジストパターン105の幅を細らせる代わりに、SiNパターン膜104の幅を細らせる技術もある。すなわち、リソグラフィー技術で達成し得る最小幅を有するSiNパターン104を形成した後、酸化処理によりSiNパターン104の幅を細らせる方法が知られている。

【0023】しかし、SiNパターン104の幅を必要な量だけ細らせることは困難である。例えば、酸化速度の速い水蒸気酸化法を用いても、SiNパターン104の幅10nm細らせるのには、950℃、1時間以上の熱バジェットが必要となる。このような高温長時間の酸化処理を行うと、シリコン基板101中のドーパントの濃度プロファイルが著しく変化するという問題があった。

【0024】

【発明が解決しようとする課題】上述の如く、ゲート電極の下端部における電界を緩和するための技術として後酸化が知られていたが、ゲート絶縁膜がシリコン酸化膜やシリコン窒化膜の場合には、絶縁不良を効果的に防止することができないという問題があった。

【0025】本発明の第1の目的は、上記事情を考慮してなされたもので、シリコンおよび窒素を含む絶縁膜上にパターニングされたシリコンを含む導電膜が形成され

てなる構造における同導電膜の端部における絶縁不良を効果的に防止できる半導体装置およびその製造方法を提供することを目的とする。

【0026】また、リソグラフィの能力を超えたシリコン窒化膜からなるパターンを形成するために、シリコン窒化膜をシリコン酸化膜に変換することが行われている。しかし、従来のシリコン窒化膜をシリコン酸化膜に変換する方法（水蒸気または O_2 ガスを酸化剤として用いた熱酸化方法、酸素ガスまたはオゾンガスを原料とするプラズマ酸化方法）は、大きな熱バジェットが必要となったり、素子がプラズマダメージを受けるという問題があった。

【0027】本発明の第2の目的は、上記事情を考慮してなされたもので、小さな熱バジェットで、かつプラズマダメージを招くことなく、リソグラフィの能力を超えたシリコン窒化膜からなるパターンを形成することができる半導体装置の製造方法を提供することである。

【0028】

【課題を解決するための手段】上記第1の目的を達成するために、本発明に係る半導体装置は、主面を有する半導体基板であって、前記主面は、第1の領域およびそれよりも表面が低い第2の領域を有し、かつ前記第1の領域と前記第2の領域は繋がっている半導体基板と、前記第1の領域上に形成され、シリコン、窒素および酸素を含む第1の絶縁膜と、前記第1の絶縁膜上に形成され、シリコンを含む導電膜と、前記第2の領域上に形成され、シリコンおよび酸素を含み、前記導電膜および前記第1の絶縁膜とコンタクトする第2の絶縁膜とを備えていることを特徴とする。

【0029】本発明に係る半導体装置のより具体的な構成としては、以下の(1)～(6)の例があげられる。

【0030】(1) 前記第1の絶縁膜のうち前記半導体基板とコンタクトした部分は、前記第1の絶縁膜の残りの部分よりも窒素濃度が高い。

【0031】(2) 上記(1)において、前記第1の絶縁膜のうち前記半導体基板とコンタクトした部分の窒素濃度は $5 \times 10^{13} \text{ cm}^{-2}$ 以上である。

【0032】(3) 前記第2の絶縁膜のうち前記半導体基板および前記導電膜とコンタクトした部分は、前記第2の絶縁膜の残りの部分よりも窒素濃度が高い。

【0033】(4) 前記第1の絶縁膜は窒素を含むシリコン酸化膜、前記導電膜はドーパントを含んだポリシリコン膜である。

【0034】(5) 上記(4)において、前記第1の絶縁膜はゲート絶縁膜、前記導電膜はゲート電極である。

【0035】(6) 上記(5)において、前記第1の絶縁膜はトンネルゲート絶縁膜、前記導電膜はフローティングゲート電極である。

【0036】また、上記第1の目的を達成するために、

本発明に係る半導体装置の製造方法は、半導体基板上にシリコンおよび窒素を含む絶縁膜を形成する工程と、前記絶縁膜上にシリコン膜を含む被加工膜を形成する工程と、前記絶縁膜の一部が露出するべく前記被加工膜を加工する工程と、これらの工程により得られた半導体構造に対して、オゾンまたは酸素ラジカルを含む酸化性ガスを用いて酸化処理を施す工程とを含むことを特徴とする。

【0037】また、本発明に係る他の半導体装置の製造方法は、半導体基板上にシリコンおよび窒素を含む絶縁膜を形成する工程と、前記絶縁膜上にシリコン膜を含む被加工膜を形成する工程と、前記絶縁膜の一部が露出するべく前記被加工膜を加工する工程と、これらの工程により得られた半導体構造に対して、オゾンまたは酸素ラジカルを含む酸化性ガスを用いて酸化処理を施す工程と、前記酸化処理が施された前記半導体構造に対して、窒化処理および追加酸化処理の少なくとも一方を施す工程とを含むことを特徴とする。

【0038】これらの本発明に係る半導体装置の製造方法のより具体的な構成としては、以下の(1)～(3)の例があげられる。

【0039】(1) 前記絶縁膜は、窒素を含むシリコン酸化膜またはシリコン窒化膜である。

【0040】(2) 前記絶縁膜はゲート絶縁膜であり、前記被加工膜を加工してゲート電極を形成する。

【0041】(3) 前記酸化処理を行う前の、前記絶縁膜の前記半導体基板との界面における窒素濃度が、 $5 \times 10^{13} \text{ cm}^{-2}$ 以上となるように、前記絶縁膜を形成する。

【0042】本発明者らは、研究の結果、窒素およびシリコンを含む絶縁膜を、オゾンまたは酸素ラジカルを含む雰囲気中で酸化すると、絶縁膜中の窒素が脱離しながら酸化が進行して膜厚が増加することを見出した。

【0043】図13および図14に実験結果の一例を示す。この実験で用いた試料は以下のようにして作成した。シリコンウェハの表面に厚さ7nmの熱酸化膜（シリコン酸化膜）を形成した後、上記熱酸化膜を950℃のアンモニア雰囲気中で窒化し、上記熱酸化膜中に窒素を導入した絶縁膜（シリコン酸窒化膜）を形成した。

【0044】次に、上記試料を用いて2種類の酸化実験を行った。1つは、縦型バッチ式酸化炉内に上記試料を導入し、その後縦型バッチ式酸化炉内に酸素ガスを導入して、上記試料に対して酸化処理を施すというものである。この酸化処理は、900℃、30分、13kPaの条件で行った。他は、縦型バッチ式酸化炉内に上記試料を導入し、その後縦型バッチ式酸化炉内にオゾンと酸素の混合ガス（オゾン5%）を導入して、上記試料に対して酸化処理を施すというものである。この酸化処理は、900℃、30分、130Paの条件で行った。

【0045】これらの酸化処理が施された試料のそれぞ

れについて、シリコン窒化膜中の窒素および酸素の濃度プロファイルを、SIMS分析で調べて比較した（SIMS分析は、上記酸化処理の後、厚さ10nmのポリシリコン膜をシリコン窒化膜上に形成してから行った。）

図13は酸素ガスで酸化処理を行った場合のSIMSの分析結果、図14はオゾンと酸素の混合ガスで酸化処理を行った場合のSIMSの分析結果を示している。

【0046】これらの図から、オゾンを用いた酸化処理は、オゾンを用いない酸化処理に比べて、シリコン窒化膜中の表面側の窒素が容易に脱離し、酸化の進行によるシリコン窒化膜の膜厚増加が顕著になることが分かる。

【0047】アンモニアの代わりに、亜酸化窒素（ N_2O ）または一酸化窒素（ NO ）を用いてシリコン窒化膜中に窒素を導入した場合、シリコン窒化膜中の窒素濃度はシリコン基板との界面部分で高くなる。この場合でも、オゾンを含む雰囲気中で酸化することにより、シリコン窒化膜中の基板側の窒素濃度の低下が顕著になり、酸化の進行による膜厚増加が顕著になることが分かった。

【0048】また、シリコン窒化膜の代わりに、シリコン窒化膜をシリコンウェハの表面に形成した試料を用いた場合でも、オゾンを含む雰囲気中で酸化することにより、シリコン窒化膜中の表面側窒素の脱離が顕著になる。その結果、シリコン窒化膜の表面での酸化反応が進行して、シリコン窒化膜の表面がシリコン酸化膜に変換される。

【0049】この実験結果から、本酸化法によるシリコン窒化膜中の窒素脱離現象は、膜中窒素の組成比 $[N] / ([O] + [N])$ が0%よりも高く100%以下の範囲で起こることが明らかになった。

【0050】さらに、以上の現象は、オゾンの代わりに、酸素ラジカルを含む雰囲気中で酸化した場合でも、同様に起こることが確かめられた。

【0051】ここで、酸素ラジカルは、プラズマ酸化法のように酸化炉内で発生させたものでも良いし、リモートプラズマ酸化法のように酸化炉の外部で発生させたものを酸化炉内に導入したものでも良いし、あるいは試料表面で発生させたものでも良い。試料表面で酸素を発生させる方法としては、例えば、酸素ガスと水素ガスを酸化炉内に導入し、試料表面を加熱することで、試料表面で酸素ガスを解離させて酸素ラジカルを発生させる方法がある。

【0052】オゾン酸化プロセスにおける主な酸化種は、オゾンが解離して生成する酸素ラジカルであるといわれている。このため、オゾン酸化と酸素ラジカル酸素で同様の現象が起きたと考えられる。

【0053】したがって、本発明のように、上述したような作用効果を奏するオゾンまたは酸素ラジカルを含む

雰囲気中で酸化を行えば、シリコンおよび窒素を含む絶縁膜上にパターンニングされたシリコンを含む導電膜が形成された構造における同導電膜の端部で酸化が十分に進み、電界緩和に有効な丸まり形状を形成できるようになる。絶縁不良を効果的に防止できるようになる。

【0054】また、導電膜で覆われていない部分の絶縁膜下の基板表面（第2の領域）は、導電膜で覆われた部分の絶縁膜下の基板表面（第1の領域）よりも酸化が速く進む。そのため、第2の領域は第1の領域よりも低くなる。

【0055】また、上記第2の目的を達成するために、本発明に係る半導体装置の製造方法は、シリコン膜を含む被加工膜上にシリコン窒化膜を含む絶縁膜を形成する工程と、前記絶縁膜をリソグラフィおよびエッチングを用いて加工し、前記絶縁膜からなるパターンを形成する工程と、酸素ラジカルまたはオゾンを含む雰囲気中で前記パターンを酸化処理して、前記シリコン窒化膜の露出表面をシリコン酸化膜に変換する工程と、前記シリコン酸化膜を除去することで、前記パターンを微細化する工程と、前記微細化されたパターンを前記被加工膜に転写し、前記被加工膜を加工する工程とを含んでいる。

【0056】本発明に係る半導体装置の製造方法のより具体的な構成としては、以下の（1）～（3）の例があげられる。

【0057】（1） 前記パターンを形成する工程において、前記被加工膜の表面が露出しないように前記絶縁膜をエッチングし、前記シリコン窒化膜の露出表面をシリコン酸化膜に変換する工程の後に、前記シリコン酸化膜を除去し、さらに前記第1のパターンを構成する前記絶縁膜のうち膜厚の薄い部分を除去することで、前記微細化されたパターンを形成し、前記微細化されたパターンをマスクにして前記被加工膜をエッチングすることで、前記パターンを前記被加工膜に転写する。

【0058】（2） 前記絶縁膜は、さらにシリコン酸化膜を含み、かつ前記シリコン酸化膜は前記シリコン窒化膜の下に形成されている。

【0059】（3） 前記被加工膜は、ゲート電極となるものである。

【0060】本発明者らの研究によれば、酸素ラジカルまたはオゾンを含む雰囲気中で、シリコン窒化膜の酸化処理を行うと、容易に850℃以下の温度で、条件を調整することで800℃以下の温度で、シリコン窒化膜の表面をシリコン酸化膜に変換できることが分かった。

【0061】図17および図18は、そのことを示す実験結果の一例である。図17および図18は、それぞれ、酸化種にドライ酸素（ O_2 ）および酸化種にオゾン（ O_3 ）を用いた酸化方法により酸化されたシリコン窒化膜を含む半導体構造の顕微鏡写真である。

【0062】上記半導体構造は以下のようにして作成した。すなわち、シリコン基板上にシリコン窒化膜、TE

OS酸化膜を順次形成し、次にTEOS酸化膜、シリコン窒化膜およびシリコン基板をエッチングして凸部を形成し、次にリン酸でTEOS酸化膜およびシリコン窒化膜を細めることで作成した。図において、下から順にシリコン基板の凸部、シリコン窒化膜、TEOS酸化膜を示している。

【0063】酸化種にドライ酸素（10%）を用いた酸化方法では、酸化温度を1000℃、酸化時間を69分とした。この場合、シリコン基板の表面に形成されたシリコン酸化膜の膜厚は15nmであった。一方、酸化種にオゾン（分圧133.322Pa=1Torr）を用いた酸化方法では、酸化温度を850℃、酸化時間を240分とした。この場合、シリコン基板の表面に形成されたシリコン酸化膜の膜厚は11nmであった。

【0064】図17および図18図から、ドライ酸素を用いた酸化方法では、シリコン窒化膜の表面層をシリコン酸化膜に変換することはできないが、オゾンを用いた酸化方法では、シリコン窒化膜の表面層をシリコン酸化膜に変換できることが分かる。ドライ酸素の代わりに、酸素ラジカルを用いても、同様な結果が得られた。

【0065】したがって、オゾンまたは酸素ラジカルを含む酸化性雰囲気を採用した本発明によれば、小さな熱バジェットで、かつプラズマダメージを招くことなく、シリコン窒化膜の表面をシリコン酸化膜に変換できる。そして、このシリコン酸化膜を除去することで、リソグラフィの能力を超えたシリコン窒化膜からなるパターン（SiNパターン）を形成することができるようになる。

【0066】SiNパターンをポリシリコン膜のエッチングマスクとして用いる場合、SiNパターンのエッチング速度をポリシリコン膜のそれよりも十分に遅くすることができるため、SiNパターンの厚さは薄くて済む。その結果、SiNパターンの形状のばらつきは十分に小さくなる。

【0067】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0068】本発明の実施形態を説明する前に、本発明の動機付けとなった、本発明者らが見出した問題点について説明する。この問題は、図10において、シリコン酸化膜92の代わりに、シリコン酸窒化膜またはシリコン窒化膜を用いた場合に起こる。

【0069】図15に、窒素の濃度プロファイルの違いによる窒素を含むシリコン酸化膜（シリコン酸窒化膜）95の後酸化後の形状の違いを示す。図中、斜線部は窒素の高濃度領域を示している。

【0070】ポリシリコン膜93の下に存在するシリコン酸窒化膜95は、ポリシリコン膜93の下端部に酸化剤が供給されることを抑制する。そのため、後酸化によるポリシリコン膜93の下端部の丸まりは不十分とな

る。

【0071】ここで、シリコン酸窒化膜95中の窒素濃度が高い場合、特にポリシリコン膜93側のシリコン酸窒化膜95中の窒素濃度が高い場合には、ポリシリコン膜93の下端部の酸化が進まなくなるため、ポリシリコン膜93の下端部は後酸化前よりも尖った形状になってしまう（図15（b）、図15（c））。

【0072】このような不具合は、シリコン窒化膜95中の窒素濃度が、ポリシリコン膜93との界面に $5 \times 10^{13} \text{ cm}^{-2}$ 以上、あるいはポリシリコン膜93近傍のシリコン酸窒化膜95中の窒素組成比 $[N] / ([O] + [N])$ が1%以上で顕著となる。

【0073】また、シリコン基板91の上に存在するシリコン酸窒化膜95は、シリコン基板91の表面に酸化剤が供給されることを抑制する。そのため、後酸化によるパーズビーク酸化は不十分になる。

【0074】ここで、シリコン酸窒化膜95中の窒素濃度が高い場合、特にシリコン基板91側のシリコン酸窒化膜95中の窒素濃度が高い場合には、パーズビーク酸化が進まなくなるため、ポリシリコン膜93の下端部とシリコン基板91との距離は広がらなくなる（図15）。

【0075】このような不具合は、シリコン窒化膜95中の窒素濃度が、シリコン基板91との界面に $5 \times 10^{13} \text{ cm}^{-2}$ 以上、あるいはシリコン基板91近傍のシリコン酸窒化膜95中の窒素組成比 $[N] / ([O] + [N])$ が1%以上で顕著となる。

【0076】一方、ポリシリコン膜93の加工後に、露出したシリコン酸窒化膜95の表面側に窒素が含有されていると、シリコン酸窒化膜95中への酸化剤供給が抑制されるため、プロセスダメージ回復による膜質改善が不十分になる（図15（b）、図15（c））。

【0077】以上述べた問題は、図10に示すようなオーバーエッチング構造に対しても、同様に起こる。

【0078】（第1の実施形態）図1は、本発明の第1の実施形態に係るMOSトランジスタの製造方法を示す工程断面図である。

【0079】まず、図1（a）に示すように、シリコン基板1の平坦に仕上げられた表面に熱酸化法で厚さ3nmのシリコン酸化膜（不図示）を形成し、続いて一酸化窒素（NO）雰囲気中で熱処理を行い、上記シリコン酸化膜の基板界面側に $5 \times 10^{14} \text{ cm}^{-2}$ の窒素を導入してゲート絶縁膜としてのシリコン酸窒化膜2を形成する。

【0080】次に、図1（b）に示すように、原料としてモノシランを用いたLPCVD法により、シリコン酸窒化膜2上に厚さ150nmのアンダーのポリシリコン膜を形成し、続いてこのアンダーのポリシリコン膜にドーパントとしてボロン（B）をイオン注入することによって、ゲート電極となる低抵抗のポリシリコン膜3を形成する。

【0081】ここで、ドーパンドの導入は、熱拡散法を用いて行っても良い。また、ドーパンドとして磷

(P)、砒素(As)等のドナーを用いても良い。なお、図において2'は、第3の実施形態で図1を用いて説明するために付したものであり、本実施形態とは関係ない。上記ドーパンドの導入は成膜と同時に行っても良いし、あるいは後酸化の後(ポリシリコン膜3を加工した後)に行っても良い。

【0082】次に、図1(c)に示すように、ポリシリコン膜3上にフォトレジストを塗布し、写真蝕刻法を用いてパターンニングすることによって、ゲート電極形成用のレジストパターン4を形成する。

【0083】次に、図1(d)に示すように、レジストパターン4をマスクとして用い、ポリシリコン膜3をドライエッチングによりパターンニングして、ゲート電極3を形成した後、アッシング法によりレジストパターン4を除去する。この後、縦型バッチ式酸化炉内にシリコン基板1を搬入する。

【0084】次に、縦型バッチ式酸化炉内にオゾンと酸素の混合ガス(オゾン5%)を導入しながら、900℃、10分、130Paの条件で熱処理を行い、図1(e)に示すように、ゲート電極3の表面(側面、上面)およびシリコン酸窒化膜(ゲート絶縁膜)2の露出表面を酸化して、後酸化膜5を形成する。上記酸化は、オゾンと酸素の反応で生じる酸素ラジカルにより行われる。

【0085】ここで、後酸化膜5の膜厚は、ゲート電極3の側壁部で5nm程度となる。また、後酸化の酸化温度は、シリコン酸窒化膜2中の窒素の脱離効率を高め、ゲート電極3の下端部の曲率半径を大きくし、かつ短時間でのシリコン酸窒化膜2の欠陥回復を可能にするためには、900℃以上の高温が望ましい。

【0086】また、酸化圧力は、雰囲気中のオゾンが失活しないように、1kPa以下の低圧が望ましい。なお、この後酸化は、続いて行うソース/ドレイン領域6の形成工程後に行っても良い。

【0087】最後に、図1(f)に示すように、ゲート電極3をマスクに用いてドーパンドを基板表面にイオン注入により導入した後、ランプアニール法によりドーパントの活性化を行うことによって、ソース/ドレイン領域6を自己整合的に形成する。この後、周知の方法に従って図示しない層間絶縁膜、金属配線等を形成して、MOSトランジスタが完成する。

【0088】図2(a)に、本実施形態の方法により形成した、ゲート電極3の下端部近傍の拡大図を示す。図中、斜線部は窒素の高濃度領域を示している。シリコン酸窒化膜2中の窒素濃度が、シリコン基板1との界面近傍において $5 \times 10^{13} \text{ cm}^{-2}$ 以上ある場合、酸素ガス雰囲気の後酸化を行うと(従来技術)、図15(a)に示した形状になってしまう。これに対して、本発明では、

オゾンを含む雰囲気の後酸化を行っているので、ゲート電極3の下端部近傍およびゲート電極除去領域のゲート酸窒化膜2中の窒素が脱離し、シリコン基板1の酸化の進行によるパーズピークの形成が顕著になる。

【0089】その結果、ゲート電極3の下端部の形状が十分に丸まるとともに、ゲート電極3の下端部とソース/ドレイン領域6との間の距離が長くなって、ゲート電極3の下端部およびソース/ドレイン領域6の電界が緩和され、素子の絶縁耐性が向上する。

【0090】なお、図1(e)の工程では、オゾン雰囲気の後酸化によって後酸化を行っているが、酸素ラジカル雰囲気の後酸化でも同様の効果が得られる。また、オゾンや酸素ラジカルを用いた後酸化で得られる後酸化膜の膜厚が不足した場合は、後酸化後に通常の酸化を追加すれば、図2(b)に示すように、所望の厚さの後酸化膜5を形成できる。

【0091】さらにまた、オゾンや酸素ラジカルを用いた酸化でゲート電極3の下端部近傍のシリコン酸窒化膜(ゲート絶縁膜)2中の窒素が脱離することが望ましくない場合、例えば窒素の脱離によるキャリア耐性の低下、高電界ストレス耐性の低下あるいはボロン等のドーパントの拡散抑制能力の低下が懸念される場合には、後酸化の後に一酸化窒素等の窒化性ガス雰囲気の後酸化など、通常の窒素導入プロセスを追加すれば、図2(c)に示すように、ゲート電極3の下端部近傍のシリコン酸窒化膜(ゲート絶縁膜)2中に窒素を導入することができる。

【0092】また、図1(d)の工程で、ポリシリコン膜3をパターンニングする際に、シリコン酸窒化膜2までエッチングされている場合、ゲート電極3の下端部近傍の拡大図を図2(d)に示す。図中、斜線部は窒素の高濃度領域を示している。酸素ガス雰囲気の後酸化を行った場合(従来技術)の図16(a)と比較して、本発明では、オゾンを含む雰囲気の後酸化を行っているので、シリコン酸窒化膜2中のシリコン基板1の上端部近傍の窒素が脱離し、後酸化が十分に進行するため、シリコン基板1の上端部の丸まり形状が顕著になる。その結果、ゲート電極3の下端部およびソース/ドレイン領域6の電界が緩和され、素子の絶縁耐性が向上する。

【0093】図1(a)の工程では、熱酸化膜(不図示)を一酸化窒素雰囲気中で熱処理してシリコン酸窒化膜2を形成したが、亜酸化窒素(N_2O)雰囲気等の雰囲気中で熱処理する場合のように、シリコン酸窒化膜中の窒素が基板側の界面に高濃度層を形成するような場合にも、上記と同様の効果が得られる。

【0094】また、熱酸化膜をアンモニア(NH_3)雰囲気中で熱処理する場合のように、シリコン酸窒化膜中の窒素が基板側の界面とゲート電極側の界面に高濃度層を形成するような場合にも、上記と同様の効果が得られる。

【0095】(第2の実施形態)図3は、本発明の第2の実施形態に係るフラッシュメモリセルの製造方法を示す工程断面図である。

【0096】まず、図3(a)に示すように、シリコン基板11の平坦に仕上げられた表面に熱酸化法で厚さ8nmのシリコン酸化膜(不図示)を形成し、続いてアンモニア雰囲気中で熱処理を行い、上記シリコン酸化膜の膜裏面側(基板界面側)と膜表面側に窒素組成比 $[N]/([O]+[N])$ のピーク値が約10%となるような窒素高濃度領域を形成して、トンネル絶縁膜としてのシリコン酸化膜12を形成する。シリコン酸化膜12の膜裏面側(基板界面側)と膜表面側に窒素組成比 $[N]/([O]+[N])$ のピーク値も約10%となることを確認した。

【0097】次に、図3(b)に示すように、原料としてモノシランとホスフィンを用いたLPCVD法により、シリコン酸化膜12上に、浮遊ゲート電極となる、リンがドーパされた厚さ150nmの低抵抗のポリシリコン膜13を形成する。ここで、ドーパンドの導入は熱拡散法を用いて行って良い。また、リン以外のドーパンドを用いても良い。上記ドーパンドの導入は、成膜後に行っても良い。

【0098】この後、図3(b)に示すように、ポリシリコン膜13上に電極間絶縁膜14、制御ゲート電極となる導電膜(例えばドーパンドを含むポリシリコン膜)15を周知の方法に従って順次形成する。

【0099】次に、図示しないレジストパターンをマスクとして用い、図3(c)に示すように、導電膜15、電極間絶縁膜14、ポリシリコン膜13をドライエッチングによりパターンニングした後、アッシング法により上記レジストパターンを除去する。

【0100】次に、リモートプラズマ酸化炉内にシリコン基板を搬入した後、同炉内に酸素ラジカルを導入しながら、900℃、10分、130Paの条件で熱処理を行うことで、図3(d)に示すように、ポリシリコン膜(浮遊ゲート電極)13の側壁面およびシリコン酸化膜(トンネル絶縁膜)12の露出表面を酸化して、後酸化膜16を形成する。なお、この後酸化は、続いて行うソース/ドレイン領域17の形成工程後に行っても良い。

【0101】ここで、後酸化膜16の膜厚は、ポリシリコン膜(浮遊ゲート電極)13の側壁部で10nm程度となる。この後酸化の酸化温度は、シリコン酸化膜(トンネル絶縁膜)12中の窒素の脱離効率を高め、浮遊ゲート電極13の下端部の曲率半径を大きくし、かつ短時間でのトンネル絶縁膜12の欠陥回復を可能にするためには、900℃以上の高温が望ましい。

【0102】また、制御ゲート電極15がドーパトシリコン膜(低抵抗半導体膜)ではなく、金属膜や金属シリサイド膜等の導電膜である場合のように、制御ゲート電

極15を酸化したくないときは、その導電膜の露出表面をシリコン窒化膜等のように酸化剤に対してバリア性を有する膜で覆ってから、後酸化を行うと良い。

【0103】また、金属シリサイド膜等の異常酸化を抑制したいときは、厚いCVDシリコン酸化膜等のように、金属シリサイド膜等を酸化レートを下げるような膜で覆ってから、後酸化を行うと良い。

【0104】次に、図3(e)に示すように、制御ゲート電極15をマスクに用いてドーパントを基板表面にイオン注入により導入した後、ランプアニール法によりドーパントの活性化を行うことによって、ソース/ドレイン領域17を自己整合的に形成する。この後、周知の方法に従って図示しない層間絶縁膜、金属配線等を形成して、MOSトランジスタが完成する。

【0105】図4(a)に、本実施形態の方法により、浮遊ゲート電極13の下端部近傍の拡大図を示す。図中、斜線部は窒素の高濃度領域を示している。

【0106】浮遊ゲート電極13近傍およびシリコン基板11近傍のシリコン酸化膜12中の窒素組成比 $[N]/([O]+[N])$ が1%以上ある場合、酸素ガス雰囲気中で後酸化を行うと(従来の技術)、図15(b)に示したような形状になってしまう。これに対して、本発明では、酸素ラジカルを含む雰囲気中で後酸化しているため、シリコン酸化膜12中の浮遊ゲート電極13の下端部近傍および浮遊ゲート電極除去領域の窒素が脱離し、浮遊ゲート電極13の下端部およびシリコン基板11の酸化の進行が顕著になる。

【0107】その結果、浮遊ゲート電極13の下端部の曲率の増大およびシリコン基板11のパーズピーク酸化の進行によって、浮遊ゲート電極13の下端部およびソース/ドレイン領域17の電界が緩和され、さらに浮遊ゲート電極13の下端部近傍のシリコン酸化膜12中のプロセスダメージが回復することによって、絶縁特性が向上する。

【0108】なお、図3(d)の工程では、酸素ラジカル雰囲気中での熱処理により後酸化を行っているが、オゾン雰囲気中での熱処理でも同様の効果が得られる。また、オゾンや酸素ラジカルを用いた後酸化で得られる後酸化膜の膜厚が不足の場合は、後酸化の後に通常の酸化を追加しても良い。

【0109】さらにまた、オゾンや酸素ラジカルを用いた後酸化で浮遊ゲート電極13の下端部近傍のシリコン酸化膜(トンネル絶縁膜)12中の窒素が脱離することが望ましくない場合には、後酸化の後に一酸化窒素等の窒化性ガス雰囲気中での熱処理など、通常の窒素導入プロセスを追加して、窒素を導入しても良い。

【0110】また、図3(c)の工程で、ポリシリコン膜13をパターンニングする際に、シリコン基板11までエッチングされている場合の、浮遊ゲート電極13の下端部近傍の拡大図を図4(b)に示す。図中、斜線部は

窒素の高濃度領域を示している。

【0111】酸素ガス雰囲気の後酸化した場合（従来技術）の図16（b）と比較して、本発明では、酸素ラジカルを含む雰囲気中で酸化を行っているので、シリコン酸化膜（トンネル絶縁膜）12中の基板界面側と膜表面側の窒素が脱離し、酸化が十分に進行するため、浮遊ゲート電極13の下端部およびシリコン基板11の上端部の丸まり形状が顕著になる。

【0112】その結果、浮遊ゲート電極13の下端部およびソース／ドレイン領域17の電界が緩和され、さらにシリコン酸化膜（トンネル絶縁膜）12の裏面側（基板界面側）と表面側の近傍部分のプロセスダメージが回復するため、絶縁耐性が向上する。また、トンネル絶縁膜としてシリコン酸化膜を用いた場合も、同様の効果を得ることが可能である。

【0113】（第3の実施形態）次に、本発明の第3の実施形態に係るMOSトランジスタの製造方法について説明する。本実施形態では、ゲート絶縁膜として、シリコン酸化膜を用いた例について説明する。なお、本実施形態の製造方法を示す工程断面図は、第1の実施形態のそれと同じなので、ここでは図1を用いて説明を行う。

【0114】まず、図1（a）に示すように、シリコン基板1の平坦に仕上げられた表面に、原料としてモノシランとアンモニアを用いたLPCVD法で、ゲート絶縁膜としての厚さ3nmのシリコン酸化膜2'を形成する。

【0115】次に、原料としてモノシランを用いたLPCVD法により、シリコン酸化膜2'上に厚さ150nmのアンダーのポリシリコン膜を形成し、続いてこのアンダーのポリシリコン膜にドーパントとしてボロン（B）をイオン注入することによって、図1（b）に示すように、ゲート電極となる低抵抗のポリシリコン膜3を形成する。

【0116】ここで、ドーパントの導入は、熱拡散法を用いて行っても良い。また、ドーパントとして隣（P）、砒素（As）等のドナーを用いても良い。上記ドーパントの導入は成膜と同時にしても良いし、あるいは後酸化の後（ポリシリコン膜3を加工した後）に行っても良い。

【0117】次に、図1（c）に示すように、ポリシリコン膜3上にフォトリソを塗布し、写真蝕刻法を用いてパターンニングすることによって、ゲート電極形成用のレジストパターン4を形成する。

【0118】次に、図1（d）に示すように、レジストパターン4をマスクとして用い、ポリシリコン膜3をドライエッチングによりパターンニングしてゲート電極を形成した後、アッシング法によりレジストパターン4を除去する。

【0119】次に、ランプ加熱方式の枚葉式酸化炉内にシリコン基板1を搬入した後、同炉内に酸素と水素の混

合ガス（酸素50%）を導入しながら、900℃、10秒、650Paの条件で熱処理を行うことで、図1

（e）に示すように、ゲート電極3の表面（側面、上面）およびシリコン酸化膜（ゲート絶縁膜）2'の露出表面を酸化して、後酸化膜5を形成する。上記酸化は、酸素と水素との反応で生じる酸素ラジカルにより行われる。

【0120】後酸化膜5の膜厚は、シリコン基板1上で4nm、ゲート電極3の側壁部で5nm程度となる。この後酸化の酸化温度は、シリコン酸化膜2中の窒素の脱離効率を高め、ゲート電極3の下端部の曲率半径を大きくし、かつ短時間でのシリコン酸化膜2'の欠陥回復を可能にするためには、900℃以上の高温が望ましい。

【0121】また、酸化圧力は、酸素と水素との反応で雰囲気中のオゾンが失活しないように、1kPa以下の低圧が望ましい。なお、この後酸化は、続いて行うソース／ドレイン領域6の形成工程後に行っても良い。

【0122】最後に、図1（f）に示すように、ゲート電極3をマスクに用いてドーパントを基板表面にイオン注入により導入した後、ランプアニール法によりドーパントの活性化を行うことによって、ソース／ドレイン領域6を自己整合的に形成する。この後、周知の方法に従って図示しない層間絶縁膜、金属配線等を形成して、MOSトランジスタが完成する。

【0123】図5（a）に、本実施形態の方法により形成した、ゲート電極3の下端部近傍の拡大図を示す。図中、斜線部は窒素の高濃度領域を示している。本発明では、酸素ラジカルを含む雰囲気中で後酸化を行っているため、ゲート絶縁膜（シリコン酸化膜）2'のうち、ゲート電極3の下端部近傍およびゲート電極除去領域の部分は、窒素が脱離し、酸化反応が進行して、シリコン酸化膜に変換される。

【0124】その後、さらにゲート絶縁膜（シリコン酸化膜）2'の酸化を続けることで、ゲート電極3の下部の仕上がり形状は、酸素ガス雰囲気中で後酸化した場合（従来技術）の形状（図15（c）に示した形状）と比較して、バズビークの形成が顕著になる。

【0125】その結果、ゲート電極3の下端部の形状が十分に丸まるとともに、ゲート電極3の下端部とソース／ドレイン領域6との間の距離が長くなって、ゲート電極3の下端部およびソース／ドレイン領域6の電界が緩和され、素子の絶縁耐性が向上する。

【0126】なお、図1（e）の工程では、後酸化に用いる酸素ラジカルを、酸素と水素の反応で発生させたが、他の方法で発生させたも良い。また、オゾン雰囲気中での熱処理でも同様の効果が得られる。また、オゾンや酸素ラジカルを用いた後酸化で得られた後酸化膜の膜厚が不足した場合は、後酸化後に通常の酸化を追加すれば、図5（b）に示すように、所望の厚さの後酸化膜5

を得ることができる。

【0127】さらにまた、後酸化でゲート電極3の下端部近傍のシリコン窒化膜（ゲート絶縁膜）2'中の窒素が脱離することが望ましくない場合には、後酸化の後に例えば一酸化窒素等の窒化性ガス雰囲気中での熱処理など、通常の窒素導入プロセスを追加すれば、図5（c）に示すように、ゲート電極3の下端部近傍のシリコン窒化膜（ゲート絶縁膜）2'中に窒素を導入することができる。

【0128】また、図1（d）の工程で、ポリシリコン膜3をパターンニングする際に、シリコン窒化膜2'までエッチングされている場合の、ゲート電極3の下端部近傍の拡大図を図5（d）に示す。図中、斜線部は窒素の高濃度領域を示している。

【0129】従来技術である酸素ガス雰囲気中での後酸化（図16（c））と比較して、本発明では酸素ラジカルを含む雰囲気中で後酸化を行っているので、シリコン窒化膜（ゲート絶縁膜）2'中の窒素が脱離し、酸化が十分に進行するため、シリコン基板1の上端部およびゲート電極3の下端部の丸まり形状が顕著になる。その結果、ゲート電極3の下端部およびソース／ドレイン領域6の電界が緩和され、素子の絶縁耐性が向上する。

【0130】また、本実施形態では、ドライエッチングで露出したシリコン窒化膜（ゲート絶縁膜）2'を完全に酸化した後、さらに酸化を続けたが、図5（e）に示すようにシリコン窒化膜（ゲート絶縁膜）2'の露出部の表面側のみを酸化膜に変換しても同様の効果が得られる。

【0131】従来技術の酸素ガス雰囲気中で後酸化した場合（図15（c））と比較して、本発明では、ゲート電極3の下端部形状が酸化の進行により丸まり、ゲート電極3の下端部およびソース／ドレイン領域6の電界が緩和され、素子の絶縁耐性が向上する。

【0132】本実施形態のシリコン窒化膜（ゲート絶縁膜）2'は、原料としてモノシランとアンモニアを用いたLPCVD法で形成したが、プラズマ窒化法、JVD（Jet Vapor Deposition）法等の他の方法で形成しても、同様の効果が得られる。また、シリコン窒化膜（ゲート絶縁膜）2'中にシリコンと窒素以外の元素が含まれていても良く、シリコンと窒素が主成分の膜であれば、同様の効果が得られる。

【0133】（第4の実施形態）図6は、本発明の第4の実施形態に係るMOSトランジスタの製造方法を示す工程断面図である。ここでは、リソグラフィーの能力を超えた微細サイズのMOSトランジスタの製造方法について説明する。

【0134】まず、図6（a）に示すように、MOSトランジスタのしきい値制御のためのチャネルドーピングを行ったシリコン基板21の表面に、ゲート絶縁膜としての厚さ5nmのシリコン酸窒化膜22を公知の熱酸化

／熱窒化法で形成する。チャネルドーピングは、50keV、 $3 \times 10^{19} \text{ cm}^{-2}$ の条件でイオン注入法により基板表面にドーパントとしてホウ素イオンを導入した後、ドーパントを活性化するためのアニールを例えば1050℃、20秒の条件で行う。

【0135】次に、図6（a）に示すように、シリコン酸窒化膜22上にゲート電極となる厚さ150nmのポリシリコン膜23をCVD法で堆積した後、ポリシリコン膜23をエッチングする際のマスクとしてのSiNパターン24となる厚さ100nmのシリコン窒化膜をポリシリコン膜23上にCVD法で堆積する。

【0136】次に、図6（a）に示すように、リソグラフィー技術を用いて、幅が最小線幅（100nm）のゲートレジストパターン（図示しない）を上記シリコン窒化膜上に形成し、これをマスクにして上記シリコン窒化膜をRIE法でエッチングして、SiNパターン24を形成する。

【0137】次に、上記ゲートレジストパターンを除去し、シリコン基板21を縦型バッチ式酸化炉内に搬入し、同炉内にオゾンと酸素との混合ガス（オゾン10%）を導入しながら、850℃、2時間、100Paの条件で酸化処理を行い、図6（b）に示すように、SiNパターン24の露出表面に厚さ10nmのシリコン酸窒化膜25を形成する。このとき、ポリシリコン膜23の露出表面にもシリコン酸窒化膜25は形成される。

【0138】シリコン窒化膜の酸化反応は膜中の窒素が脱離しながら進む。そのため、元のSiNパターン24の表面位置とシリコン酸窒化膜25の表面位置は、ほぼ等しくなる。これにより、SiNパターン24の幅は上部で80nmとなり、リソグラフィーの能力を超えた微細サイズのSiNパターン24が得られる。なお、SiNパターン24の下部は、酸化剤の供給不足で酸化速度が遅くなる。そのため、SiNパターン24の下部の幅は85nmとなる。

【0139】次に、図6（c）に示すように、シリコン酸窒化膜25を希フッ酸溶液で除去した後、SiNパターン24をマスクにして、ポリシリコン膜23をRIE法でエッチングし、幅85nmのゲート電極23を形成する。この後、SiNパターン24をリン酸溶液で除去する。このとき、シリコン酸窒化膜（ゲート絶縁膜）22の露出部分も除去される。

【0140】次に、図6（d）に示すように、850℃の温度で熱酸化を行い、厚さ5nmの後酸化膜26をシリコン基板21、シリコン酸窒化膜22およびゲート電極23の露出表面に形成する。

【0141】次に、図6（d）に示すように、ゲート電極23をマスクにして、10keV、 $5 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入法により、ドーパントとして砒素イオンを後酸化膜26を通して基板表面に導入した後、800℃、10秒の条件でドーパントを活性化するための

アニールを行い、エクステンション領域（低不純物濃度で浅い拡散領域）27を自己整合的に形成する。ここでは、ポリシリコン膜23を加工した後にドーパントの導入を行ったが、成膜と同時、あるいは成膜後、ポリシリコン膜23を加工する前に行っても良い。

【0142】次に、図6（e）に示すように、サイドウォールスペーサ28となる厚さ50nmのシリコン窒化膜をCVD法で全面に堆積した後、このシリコン窒化膜を公知のエッチバックRIE法でエッチングし、ゲート部の側壁にサイドウォールスペーサ28を形成する。サイドウォールスペーサ28の仕上り厚さは、ほぼ50nmである。

【0143】次に、図6（e）に示すように、60keV、 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入法により基板表面およびゲート電極23にドーパントとして砒素イオンを導入した後、ドーパントを活性化するためのアニールを例えば1000℃、10秒の条件で行うことで、ゲート電極23の抵抗を下げるとともに、ソース/ドレイン領域（高不純物濃度で深い拡散領域）29を形成する。

【0144】次に、図6（f）に示すように、露出している後酸化膜26を希フッ酸溶液で除去した後、全面に厚さ10nmのコバルト膜30をスパッタ法で形成する。

【0145】次に、図6（g）に示すように、500℃、60秒のアニール、770℃、30秒のアニールを順次行い（2段階アニールを行い）、ゲート電極23およびソース/ドレイン領域29の上部表面にコバルトシリサイド膜31を形成した後、未反応のコバルト膜30を除去する。

【0146】その後、公知の技術で、層間絶縁膜や配線を形成し、ゲート電極幅が85nmの微細サイズのMOSトランジスタを完成させる。

【0147】本実施形態では、ポリシリコン膜23をエッチングする際のマスクとして、ポリシリコン膜23に対してエッチング選択比が取れるシリコン窒化膜からなるSiNパターン24を用いている。そのため、SiNパターン24のアスペクト比は高くない。そのため、ゲート電極23の仕上り加工形状のばらつきを大幅に低減できる。さらに、SiNパターン24が倒れるという問題も起こらない。

【0148】また、SiNパターン24の酸化をオゾン雰囲気中で行っているため、熱バジェットを大幅に低減でき、シリコン基板21中のホウ素の濃度プロファイルの変化が問題となることはない。

【0149】さらに、オゾン雰囲気中での酸化は、プラズマ酸化の場合とは異なり、シリコン酸化膜（ゲート酸化膜）22はプラズマダメージを受けないので、ゲート絶縁膜22の信頼性の低下や、MOSトランジスタの特性変動という問題は起こらない。

【0150】これらの効果は、オゾン雰囲気気の酸化に限らず、酸素ラジカル雰囲気気の酸化でも同様に得られる。また、プラズマダメージによるMOSトランジスタの特性変動を許容できる場合、酸素またはオゾン雰囲気気のプラズマ酸化法を併用することが可能となる。

【0151】（第5の実施形態）第4の実施形態で示された製造方法では、ゲート電極となる膜を酸化する工程が用いられている。そのため、上記製造方法は、ゲート電極の全てまたは一部として、タングステン膜等の異常酸化を引き起こす導電膜を使用する場合には、適用できない。本実施形態では、このような導電膜を用いた場合における、リソグラフィーの能力を超えた微細サイズのMOSトランジスタの製造方法について説明する。

【0152】まず、図7（a）に示すように、MOSトランジスタのしきい値制御のためのチャネルドーピングを第4の実施形態と同様に行ったシリコン基板41の表面に、ゲート絶縁膜としての厚さ5nmのシリコン窒化膜42を公知のCVD法で形成する。

【0153】次に、図7（a）に示すように、シリコン窒化膜42上にゲート電極となる厚さ100nmのポリシリコン膜43をCVD法で形成し、さらに厚さ100nmのタングステン膜44をスパッタ法で形成した後、ポリシリコン膜43、タングステン膜44をシリコン窒化膜エッチングする際のSiNパターンとなる厚さ150nmのシリコン窒化膜45をCVD法で形成する。ここで、ポリシリコン膜43を低抵抗化するためのドーパントの導入は、ポリシリコン膜43の成膜と同時、ポリシリコン膜43を形成後で同膜43の加工を行う前、あるいは後酸化の後（ポリシリコン膜43を加工した後）に行っても良い。

【0154】次に、図7（b）に示すように、リソグラフィー技術を用いて、幅が最小線幅（100nm）のゲートレジストパターン（図示しない）を形成し、これをマスクにしてシリコン窒化膜45の表面を100nmだけRIE法によりエッチングする。その結果、ゲートレジストパターンで覆われていない領域のシリコン窒化膜45の膜厚は50nmとなる。この後、ゲートレジストパターンを除去し、シリコン基板41をリモートプラズマ酸化炉内に搬入する。

【0155】次に、リモートプラズマ酸化炉内に酸素ラジカルを導入しながら、900℃、10分、100Paの条件で熱処理を行い、図7（c）に示すように、シリコン窒化膜45の露出表面に厚さ10nmのシリコン酸化膜46を形成する。

【0156】シリコン窒化膜の酸化反応は膜中の窒素が脱離しながら進む。そのため、元のシリコン窒化膜45の表面位置とシリコン酸化膜46の表面位置は、ほぼ等しくなる。これにより、シリコン酸化膜46を形成した後のシリコン窒化膜45の幅は上部で80nmとなり、リソグラフィーの能力を超えた微細サイズのゲート電極

パターンを得ることが可能となる。ゲート電極パターン以外の領域のシリコン窒化膜45の膜厚は40nmとなる。

【0157】次に、図7(d)に示すように、シリコン酸化膜46を希フッ酸溶液で除去した後、シリコン窒化膜45の全面をRIE法でエッチングし、ゲート電極パターン以外の領域のシリコン窒化膜45を除去して、SiNパターンを形成する。このとき、残ったシリコン酸化膜46の下部の幅は85nmとなる。

【0158】次に、図7(e)に示すように、SiNパターン45をマスクにしてタングステン膜44、ポリシリコン膜43をRIE法で順次エッチングし、ポリシリコン膜43とタングステン膜44の積層膜からなるポリサイド構造を有する幅85nmのゲート電極を形成する。

【0159】この後の工程は、第4の実施形態と同様の手法で、後酸化膜、サイドウォールスペーサ、エクステンション領域、ソース/ドレイン領域を形成して、金属膜としてタングステン膜を用いたポリサイド構造を有し、ゲート電極幅が85nmの微細サイズのMOSトランジスタが完成する。

【0160】本実施形態によれば、微細なSiNパターンを形成するためのシリコン窒化膜45の酸化工程(図7(c))において、タングステン膜44はシリコン窒化膜45で覆われているため、異常酸化が起こることはない。また、本実施形態のMOSトランジスタは、第4の実施形態と同様の効果を有することが確認された。

【0161】(第6の実施形態)第4の実施形態、第5の実施形態で示された製造方法では、SiNパターンの形状に起因して、SiNパターンの最小幅よりも太い幅のゲート電極が形成されることになる。本実施形態では、この問題を解決した、リソグラフィーの能力を超えた微細サイズのMOSトランジスタの製造方法について説明する。

【0162】まず、図8(a)に示すように、MOSトランジスタのしきい値制御のためのチャネルドーピングを行ったシリコン基板51の表面に、ゲート絶縁膜としての厚さ5nmのシリコン酸窒化膜52およびゲート電極となる厚さ150nmのポリシリコン膜53を公知のCVD法で形成する。

【0163】上記チャネルドーピングは、150keV、 $3 \times 10^{19} \text{cm}^{-2}$ の条件でイオン注入法により基板表面にドーパントとしてホウ素イオンを導入した後、ドーパントを活性化するためのアニールを例えば1050℃、20秒の条件で行う。また、ポリシリコン膜53を低抵抗化するためのドーパントの導入は、ポリシリコン膜53の成膜と同時、ポリシリコン膜53を形成後で同膜53の加工を行う前、あるいは後酸化の後(ポリシリコン膜53を加工した後)に行っても良い。

【0164】次に、図8(a)に示すように、ポリシリ

コン膜53の表面に厚さ5nmのシリコン酸化膜54を熱酸化法で形成した後、シリコン酸化膜54上に厚さ100nmのシリコン窒化膜55をCVD法で形成する。シリコン酸化膜54およびシリコン窒化膜55は、それぞれ、ポリシリコン膜53をエッチングする際のマスクとしてのSiO₂パターンおよびSiNパターンとなる。

【0165】次に、図8(b)に示すように、リソグラフィー技術を用いて、幅が最小線幅(100nm)のゲートレジストパターン(図示しない)を形成し、これをマスクにしてシリコン窒化膜55、シリコン酸化膜54をRIE法で順次エッチングして、SiO₂パターンおよびSiNパターンを形成する。この後、上記ゲートレジストパターンを除去し、シリコン基板51を縦型バッチ式酸化炉内に搬入する。

【0166】次に、縦型バッチ式酸化炉内にオゾンと酸素の混合ガス(オゾン10%)を導入しながら、850℃、2時間、100Paの条件で熱処理を行い、図8(c)に示すように、SiO₂パターン54およびSiNパターンマスク55の露出表面に厚さ10nmのシリコン酸化膜56を形成する。このとき、ポリシリコン膜53の露出表面にもシリコン酸化膜56は形成される。

【0167】シリコン窒化膜の酸化反応は膜中の窒素が脱離しながら進む。そのため、元のSiNパターン55の表面位置とシリコン酸化膜56の表面位置は、ほぼ等しくなる。これにより、SiNパターン55の幅は80nmとなり、リソグラフィーの能力を超えた微細サイズのSiNパターン55が得られる。さらに、SiNパターン55の下部は、酸化剤の拡散の速いシリコン酸化膜からなるSiO₂パターン55で形成されているため、上記下部はエッジが丸まった形状になる。

【0168】次に、図8(d)に示すように、シリコン酸化膜56を希フッ酸溶液で除去する。このとき、SiO₂パターン54もわずかに除去されるため、ポリシリコン膜53には、肩部57が形成される。

【0169】次に、図8(e)に示すように、パターン54、55をマスクにして、ポリシリコン膜53をRIE法でエッチングし、幅80nmのゲート電極53を形成する。このとき、ポリシリコン膜53に形成された肩部57の影響で、ゲート電極53の上部エッジ58は丸まる。

【0170】次に、図8(f)に示すように、SiNパターン膜55およびゲート酸窒化膜52の露出部分と、シリコン酸化膜54の全体とをリン酸溶液で除去した後、850℃の熱酸化を行い、厚さ5nmの後酸化膜59をシリコン基板51およびゲート電極53の露出表面に形成する。

【0171】次に、図8(f)に示すように、5keV、 $5 \times 10^{14} \text{cm}^{-2}$ の条件でイオン注入法によりドーパントとしてフッ化ホウ素イオンを後酸化膜59を通し

て基板表面に導入した後、ドーパントを活性化するためのアニールを例えば800℃、10秒の条件で行うことで、エクステンション領域60を形成する。

【0172】次に、図8(f)に示すように、サイドウォールスペーサ61となる厚さ50nmのシリコン窒化膜をCVD法で全面に堆積した後、このシリコン窒化膜を公知のエッチバックRIE法でエッチングし、サイドウォールスペーサ61を形成する。サイドウォールスペーサ61の仕上り厚さは、ほぼ50nmである。

【0173】次に、図8(f)に示すように、60keV、 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入法によりドーパントとして砒素イオンを基板表面およびゲート電極33内に導入した後、ドーパントを活性化するためのアニールを例えば1000℃、10秒の条件で行うことで、ゲート電極53の抵抗を下げるとともに、ソース/ドレイン領域62を形成する。

【0174】次に、図8(g)に示すように、露出している後酸化膜59を希フッ酸溶液で除去し、全面に厚さ10nmのコバルト膜(不図示)をスパッタ法で形成し、500℃、60秒のアニール、770℃、30秒のアニールを順次行って(2段階アニールを行って)、ゲート電極53およびソース/ドレイン領域62の上部にコバルトシリサイド膜63を形成する。その後、未反応のコバルト膜を除去する。ここで、ゲート電極53の上部に形成されたコバルトシリサイド膜63は、ゲート電極53の上部エッジの丸み形状を反映して、その表面積は大きくなる。

【0175】その後、公知の技術で、層間絶縁膜や配線を形成し、ゲート電極幅が85nmのMOSトランジスタが完成する。

【0176】本実施形態では、ゲート電極加工用マスクとしてシリコン酸化膜54(下部)/シリコン窒化膜55(上部)の積層膜を用いている。シリコン酸化膜54はシリコン窒化膜55よりも酸化剤の拡散が速い。そのため、微細なゲート電極加工用マスクを形成するための酸化工程(図8(c))において、ゲート電極加工用マスクの下部が太ることない。その結果、マスク最小寸法と同等の微細ゲート電極を有するMOSトランジスタを形成できる。

【0177】また、ゲート電極53の上部に形成されたコバルトシリサイド膜63の表面積が大きいため、ゲート電極53の抵抗を効果的に下げることができ、MOSトランジスタの高速動作を実現できる。さらに、本実施形態のMOSトランジスタは、第4の実施形態と同様の効果を有することが確認された。

【0178】(第7の実施形態) 図9は、本発明の第7の実施形態に係る不揮発性メモリセルの製造方法を示す工程断面図である。これはチャネル方向と直交する方向における断面を示している。

【0179】まず、図9(a)に示すように、トランジ

スタのしきい値制御のためにホウ素イオンをドーピングしたシリコン基板71の表面に、トンネル絶縁膜としての厚さ10nmのシリコン酸化膜72を公知の熱酸化/熱窒化法で形成し、さらに浮遊ゲート電極の下層となる厚さ50nmのポリシリコン膜73をシリコン酸化膜72上にCVD法で形成する。

【0180】次に、図9(b)に示すように、リソグラフィ技術を用いて、幅および間隔が最小線幅(100nm)のトレンチレジストパターン(図示しない)をポリシリコン膜73上に形成し、これをマスクにしてポリシリコン膜73、シリコン酸化膜72、シリコン基板71をRIE法によりエッチングして、素子分離用の深さ200nmのトレンチを形成し、次に上記トレンチレジストパターンを除去してから、上記トレンチを素子分離絶縁膜としてのシリコン酸化膜74で埋め込む。

【0181】上記トレンチの埋め込みは、シリコン酸化膜74をCVD法で全面に堆積し、トレンチ外部の不要なシリコン酸化膜74をCMP(Chemical Mechanical Polishing)法で除去することで行う。不要なシリコン酸化膜74の除去をCMP法で行うことで同時に表面の平坦化も容易に行える。

【0182】次に、図9(c)に示すように、浮遊ゲート電極の上層となる厚さ80nmのリンドープトポリシリコン膜75をCVD法で全面に堆積した後、リンドープトポリシリコン膜75上に厚さ80nmのシリコン窒化膜からなる、ゲート電極パターンを反転したパターン(以下、SiNパターンという)76を形成する。この後、シリコン基板71を縦型バッチ式酸化炉内に導入する。

【0183】SiNパターン76は、シリコン窒化膜上に幅および間隔が最小線幅(100nm)のゲートレジストパターン(不図示)を形成し、これをマスクにしてシリコン窒化膜をRIE法によりエッチングすることで形成する。シリコン窒化膜はCVD法で形成する。

【0184】次に、縦型バッチ式酸化炉内にオゾンと酸素の混合ガス(オゾン10%)を導入しながら、850℃、2時間、100Paの条件で熱処理を行うことで、図9(d)に示すように、SiNパターン76およびリンドープトポリシリコン膜75の露出表面に厚さ10nmのシリコン酸化膜77を熱酸化法で形成する。シリコン酸化膜77はリンドープトポリシリコン膜75をエッチングする際のマスクとなる。

【0185】次に、図9(d)に示すように、厚さ150nmのシリコン酸化膜78をCVD法で全面に堆積し、SiNパターン76の隙間を埋める。シリコン酸化膜78もリンドープトポリシリコン膜75をエッチングする際のマスクとなる。

【0186】次に、図9(e)に示すように、SiNパターン76をCMPストッパに用いて、SiNパターン76の表面が露出するまで、シリコン酸化膜77、78

をCMP法で削って表面を平坦化した後、リン酸溶液でSiNパターン76を除去することで、シリコン酸化膜77、78とからなる幅120nmのSiO₂パターン(ゲート電極加工用マスク)を形成する。

【0187】次に、図9(f)に示すように、SiO₂パターン77、78をマスクにしてリンドープトポリシリコン膜75をRIE法でエッチングし、幅120nmの浮遊ゲート電極の上層を形成する。このとき、隣合う浮遊ゲート電極の間隔は、リソグラフィの限界幅100nmよりも狭い80nmに形成される。その後、SiO₂パターン77、78を希フッ酸溶液で除去する。

【0188】次に、図9(g)に示すように、浮遊ゲート電極の上層75の露出表面を覆うように、厚さ15nmの電極間絶縁膜79を公知のCVD法で全面に堆積した後、制御ゲート電極となる厚さ100nmのリンドープトポリシリコン膜80を公知のCVD法で電極間絶縁膜79上に堆積する。その後、公知の技術に従って不揮発性メモリセルを完成させる。

【0189】本実施形態では、ポリシリコン膜75をエッチングする際のマスクとして、ポリシリコン膜75に対してエッチング選択比が取れるSiO₂パターン77、78を用いているので、SiO₂パターン77、78のアスペクト比を高くする必要はない。そのため、浮遊ゲート電極の仕上り加工形状のばらつきを大幅に低減できる。さらに、SiO₂パターン77、78が倒れるという問題も起こらない。

【0190】また、本実施形態では、SiO₂パターン77、78の間隔は、SiNパターン76の幅よりも狭くなる。したがって、SiO₂パターン77、78の間隔をリソグラフィの能力を超えた狭い間隔にすることが

【0191】さらに、SiNパターン76の酸化をオゾン雰囲気で行っているので、熱バジェットが大幅に低減でき、シリコン基板71に導入したドーパントの濃度プロファイルの変化や、トンネル酸化膜72の信頼性劣化が問題となることはない。

【0192】さらにまた、プラズマ酸化を用いていないので、トンネル酸化膜72はプラズマダメージを受けず、メモリセル特性の変動は起こらない。

【0193】これらの効果は、オゾン雰囲気の酸化に限らず、酸素ラジカル雰囲気の酸化でも同様に得られる。また、プラズマダメージによるメモリセル特性変動を許容できる場合、酸素またはオゾン雰囲気のプラズマ酸化法を用いることもできる。

【0194】以上、本発明の実施形態について説明したが、本発明はこれらの実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0195】

【発明の効果】以上詳説したように本発明によれば、シ

リコンおよび窒素を含む絶縁膜上にパターンニングされたシリコンを含む導電膜が形成されてなる構造における同導電膜の端部における絶縁不良を効果的に防止できる半導体装置およびその製造方法を実現できるようになる。

【0196】また、本発明によれば、小さな熱バジェットで、かつプラズマダメージを招くことなく、リソグラフィの能力を超えたシリコン窒化膜からなるパターンを形成することができる半導体装置の製造方法を実現できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るMOSトランジスタの製造方法を示す工程断面図

【図2】同MOSトランジスタのゲート電極の下端部近傍の拡大図

【図3】本発明の第2の実施形態に係るフラッシュメモリセルの製造方法を示す工程断面図

【図4】同フラッシュメモリセルの浮遊ゲート電極の下端部近傍の拡大図

【図5】本発明の第3の本実施形態およびその変形例に係るMOSトランジスタの製造方法により形成した、ゲート電極の下端部近傍の拡大図

【図6】本発明の第4の実施形態に係るMOSトランジスタの製造方法を示す工程断面図

【図7】本発明の第5の実施形態に係るMOSトランジスタの製造方法を示す工程断面図

【図8】本発明の第6の実施形態に係るMOSトランジスタの製造方法を示す工程断面図

【図9】本発明の第7の実施形態に係る不揮発性メモリセルの製造方法を示す工程断面図

【図10】従来の後酸化プロセスを示す工程断面図

【図11】従来の他の後酸化プロセスを示す工程断面図

【図12】従来のリソグラフィの能力を超えた微細サイズのMOSトランジスタの形成方法を示す工程断面図

【図13】酸素雰囲気中で酸化を行ったシリコン窒化膜のシリコン、酸素および窒素の濃度プロファイルを示す図

【図14】オゾン/酸素混合ガス雰囲気中で酸化を行ったシリコン窒化膜のシリコン、酸素および窒素の濃度プロファイルを示す図

【図15】従来の酸素ガス雰囲気中での後酸化により得られた素子構造(基板のオーバーエッチングなし)の拡大図

【図16】従来の酸素ガス雰囲気中での後酸化により得られた素子構造(基板のオーバーエッチングあり)の拡大図

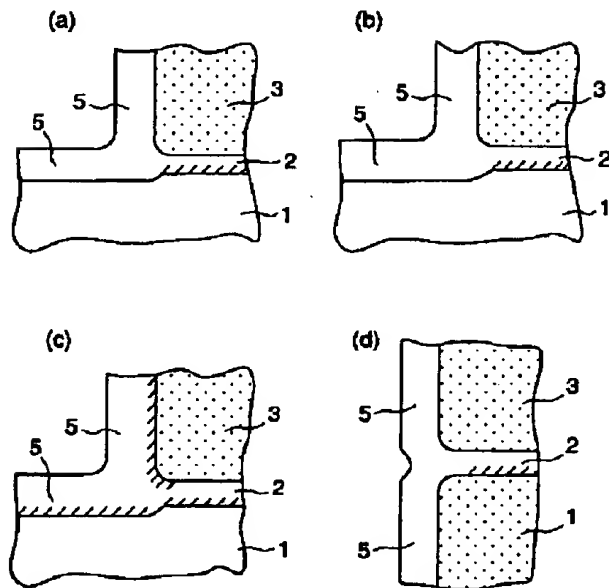
【図17】従来の酸化方法で酸化したシリコン窒化膜を含む半導体構造の顕微鏡写真

【図18】本発明の酸化方法で酸化したシリコン窒化膜を含む半導体構造の顕微鏡写真

【符号の説明】

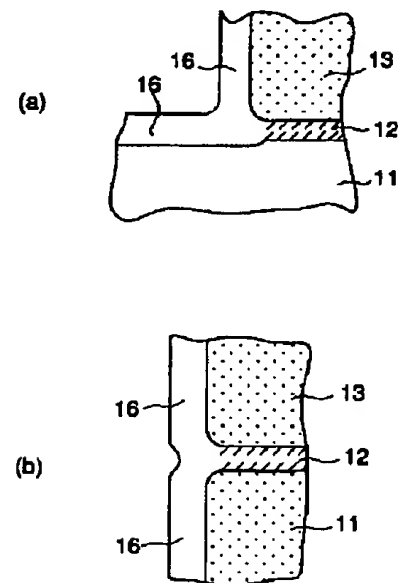
- 1…シリコン基板
 2…シリコン酸化膜 (ゲート絶縁膜)
 2'…シリコン窒化膜 (ゲート絶縁膜)
 3…ポリシリコン膜 (ゲート電極)
 4…レジストパターン
 5…後酸化膜
 6…ソース・ドレイン拡散層
 11…シリコン基板
 12…シリコン酸化膜 (トンネル絶縁膜)
 13…ポリシリコン膜 (浮遊ゲート電極)
 14…電極間絶縁膜
 15…導電膜 (制御ゲート電極)
 16…後酸化膜
 17…ソース・ドレイン拡散層
 21…シリコン基板
 22…シリコン酸化膜 (ゲート絶縁膜)
 23…ポリシリコン膜 (ゲート電極)
 24…シリコン窒化膜 (SiNパターン)
 25…シリコン酸化膜
 26…後酸化膜
 27…エクステンション領域
 28…サイドウォールスペーサ
 29…ソース/ドレイン領域
 30…コバルト膜
 31…コバルトシリサイド膜
 41…シリコン基板
 42…シリコン窒化膜 (ゲート絶縁膜)

【図2】

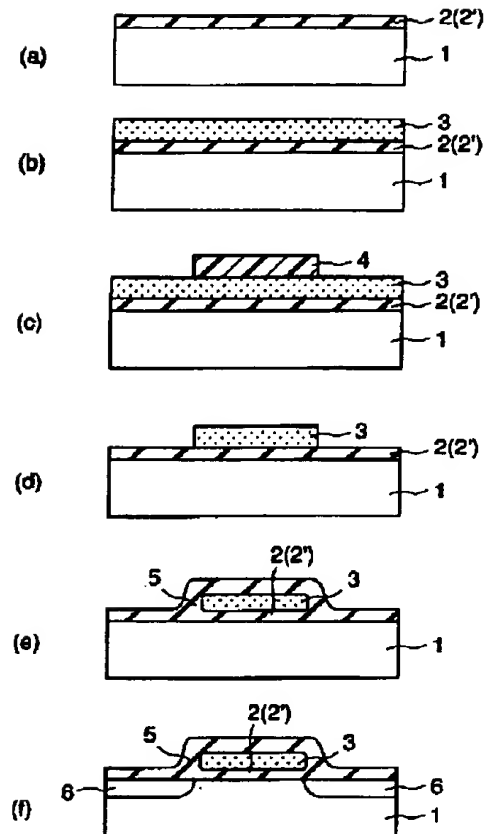


- 43…ポリシリコン膜 (ゲート電極)
 44…タングステン膜 (ゲート電極)
 45…シリコン窒化膜 (SiNパターン)
 46…シリコン酸化膜
 51…シリコン基板
 52…シリコン酸化膜 (ゲート絶縁膜)
 53…ポリシリコン膜 (ゲート電極)
 54…シリコン酸化膜 (SiO₂ パターン)
 55…シリコン窒化膜 (SiNパターン)
 56…シリコン酸化膜
 57…肩部
 58…上部エッジ
 59…後酸化膜
 60…エクステンション領域
 61…サイドウォールスペーサ
 62…ソース/ドレイン領域
 63…コバルトシリサイド膜
 71…シリコン基板
 72…シリコン酸化膜 (トンネル絶縁膜)
 73…ポリシリコン膜 (浮遊ゲート電極下層)
 74…シリコン酸化膜 (素子分離絶縁膜)
 75…リンドーフトポリシリコン膜 (浮遊ゲート電極上層)
 76…SiNパターン
 77, 78…シリコン酸化膜
 79…電極間絶縁膜
 80…リンドーフトポリシリコン膜 (制御ゲート電極)

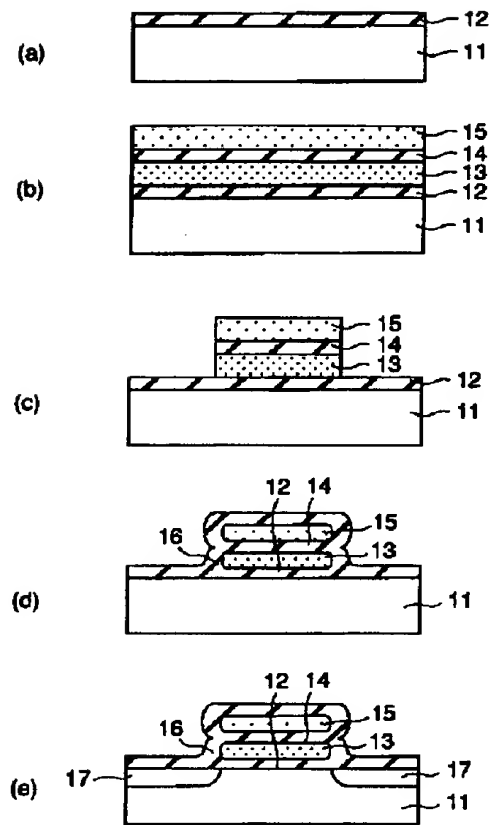
【図4】



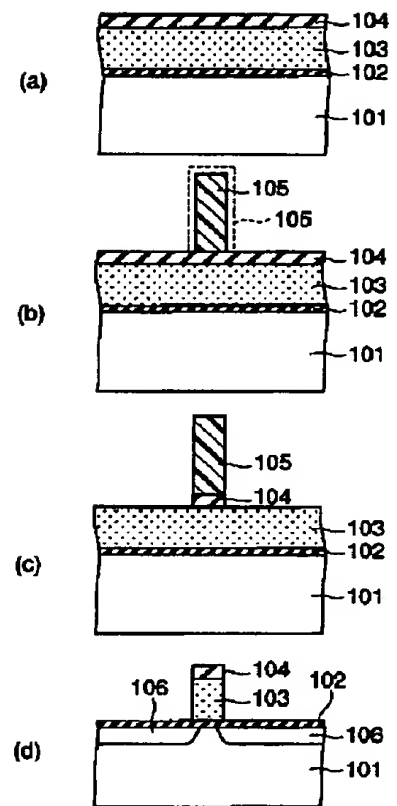
【図1】



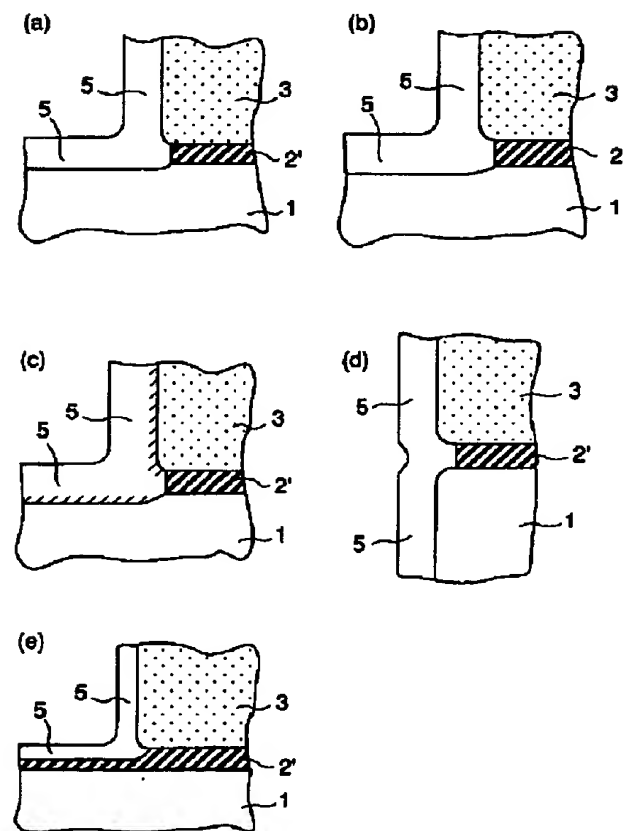
【図3】



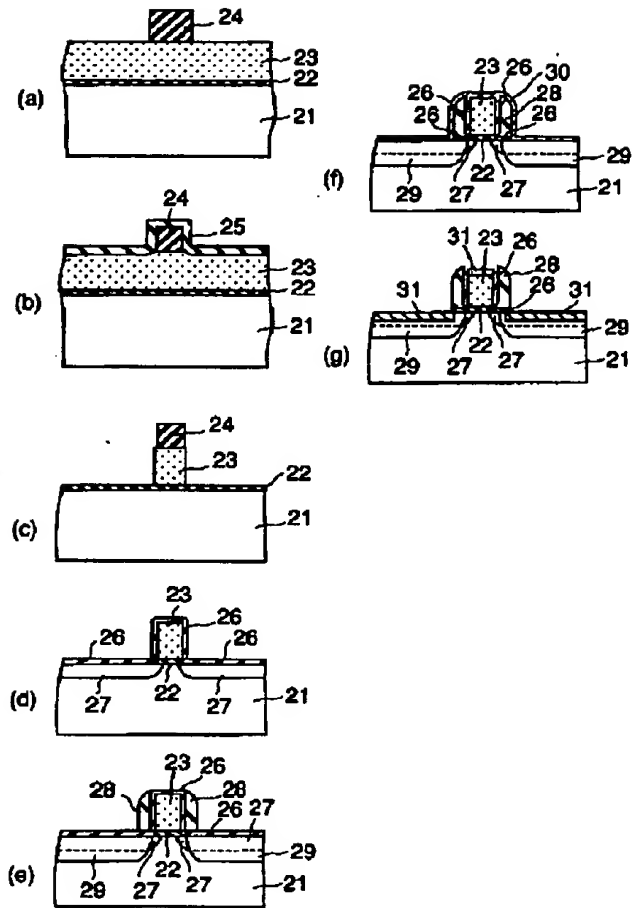
【図12】



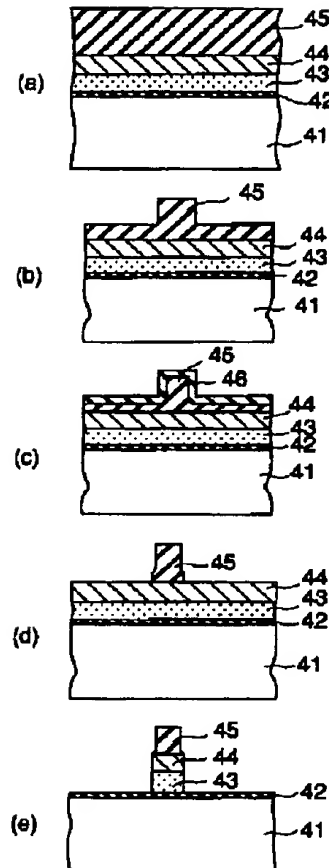
【図5】



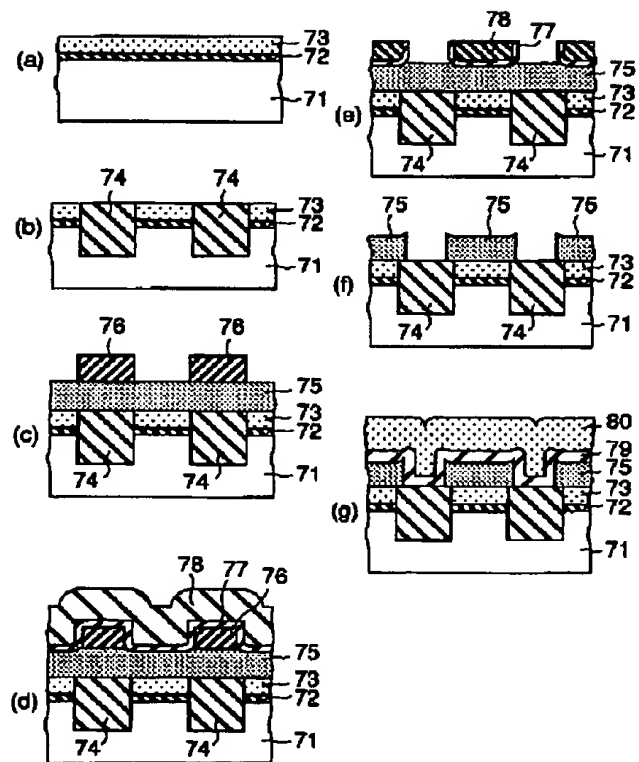
【図6】



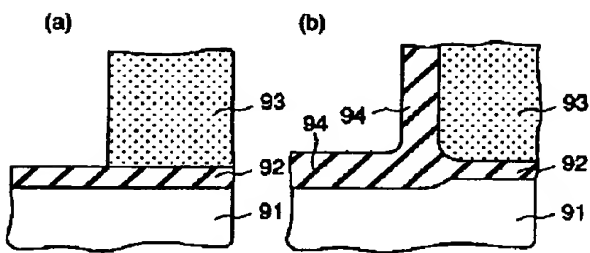
【図7】



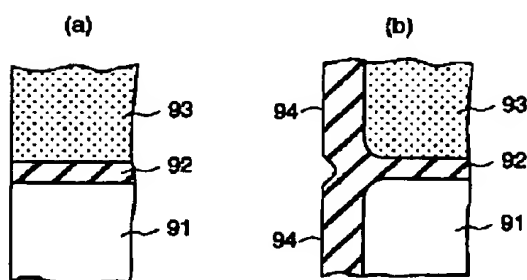
【図9】



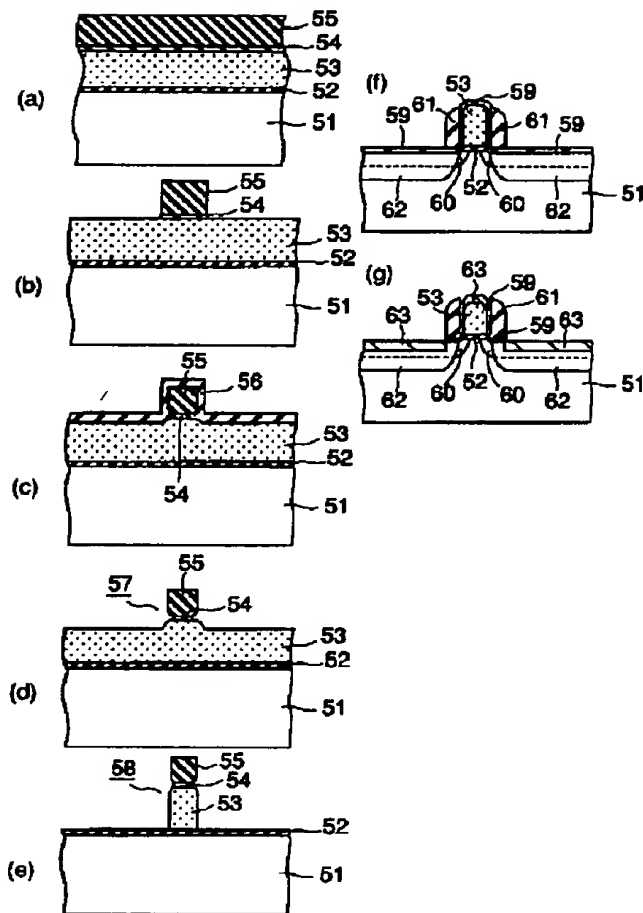
【図10】



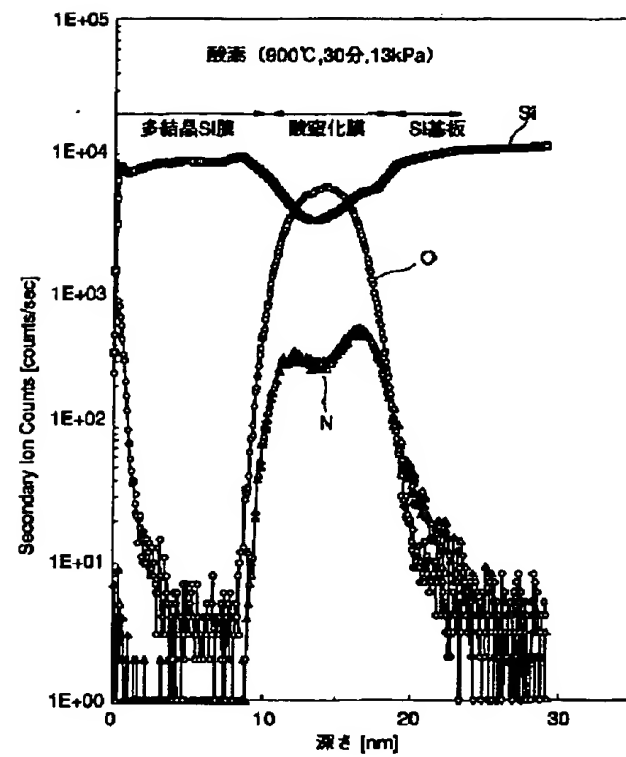
【図11】



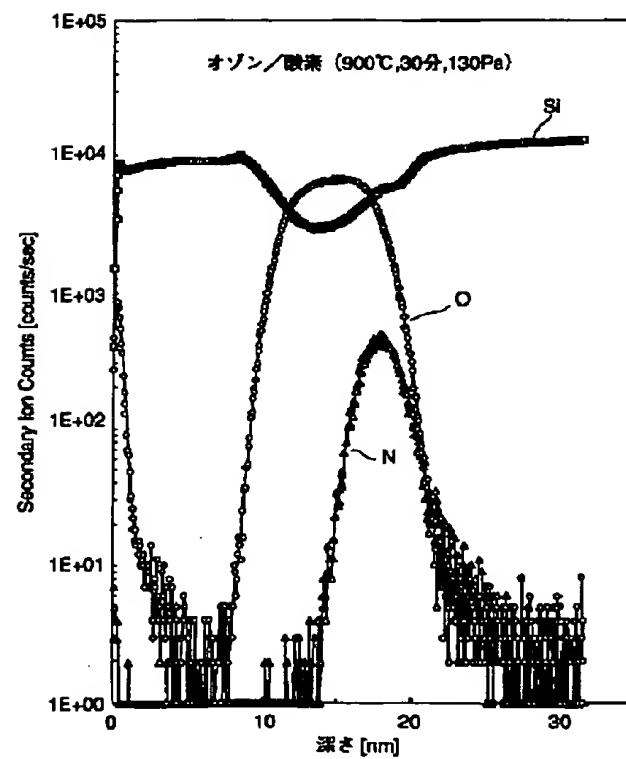
【図8】



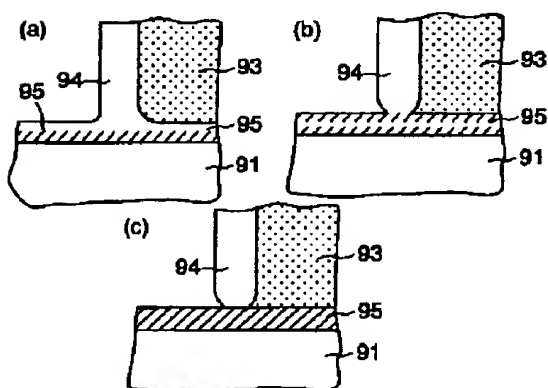
【図13】



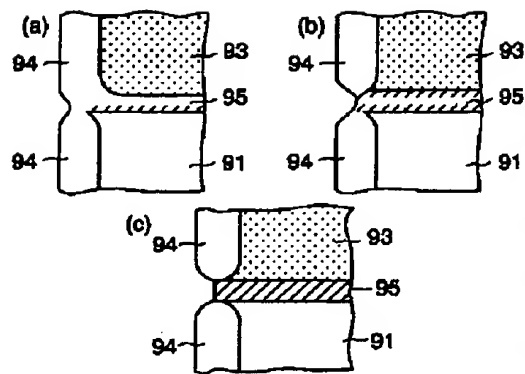
【図14】



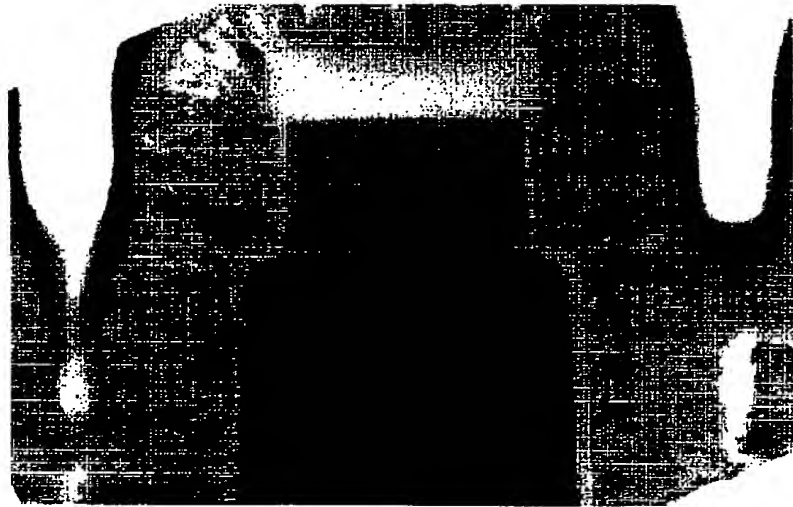
【図15】



【図16】



【図17】



【図18】



フロントページの続き

(51) Int. Cl. ⁷
H01L 21/8247
29/788
29/792

識別記号

FI
H01L 29/78

テーマコード(参考)

371

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.